

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020073447 A  
 (43)Date of publication of application: 26.09.2002

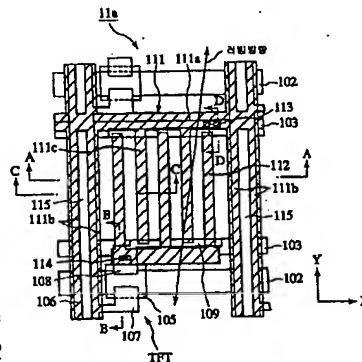
(21)Application number: 1020020014224 (71)Applicant: NEC LCD TECHNOLOGIES, LTD.  
 (22)Date of filing: 15.03.2002 (72)Inventor: MATSUMOTO KIMIKAZU  
 (30)Priority: 15.03.2001 JP 2001 2001073880  
 (51)Int. Cl. G02F 1/1343

## (54) ACTIVE MATRIX LIQUID CRYSTAL DISPLAY

## (57) Abstract:

PURPOSE: To resolve signal delay in a data line provided on a TFT(thin-film transistor) substrate, improve an opening ratio in a unit pixel, and prevent display defects.

CONSTITUTION: The TFT substrate is provided with a TFT, a scanning line connected to the gate of the TFT, a data line 106 connected to one of the source and the drain of the TFT, a pixel electrode 112 connected to the other, a common electrode 111, and a common electrode wiring 103. The TFT substrate and a counter substrate equipped with a black matrix which segments unit pixels into a matrix form, are arranged so as to face each other, and liquid crystal is sealed between both substrates in an active matrix liquid crystal display device. The common electrode 111 on the TFT substrate is provided with a common electrode part 111b, extended to the upper layer of the data line, and this common electrode part has a slit 115, which opens to a region facing the center region in the width direction of the data line, and the counter substrate has a first conductive film covering this slit, and the first conductive film is kept at the potential of the common electrode.



BEST AVAILABLE COPY

&copy; KIPO & JPO 2003

## Legal Status

Date of final disposal of an application (20041129)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse (2004101006189)



Date of requesting trial against decision to refuse (20041228)



(19) 대한민국특허청 (KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl. 7  
G02F 1/1343

(11) 공개번호 특2002 - 0073447  
(43) 공개일자 2002년09월26일

(21) 출원번호 10 - 2002 - 0014224  
(22) 출원일자 2002년03월15일

(30) 우선권주장 JP - P - 2001 - 00073880 2001년03월15일 일본 (JP)

(71) 출원인 닛본 덴기 가부시끼가이샤  
일본국 도쿄도 미나토구 시바 5쵸메 7방 1고

(72) 발명자 마쓰모토기미카즈  
일본국도쿄도미나토구시바5쵸메7방1고닛본덴기가부시끼가이샤나이

(74) 대리인 조의제

심사청구 : 있음

(54) 능동매트릭스형 액정표시장치 및 그 제조방법

요약

공통전극(111)과 제2화소전극(112)이 서로 대향하는 부분들을 가지며 기관(101, 201)에 평행한 전기장이 두 전극들(111, 112) 사이에 형성되는 능동매트릭스형 액정표시장치에서, 공통전극(111)의 Y방향 연장부들(111b)은 데이터선들(106) 위쪽에 제2층간절연막(110)을 개재하여 마련된다. 슬릿들(115)은 공통전극(111)의 Y방향 연장부들(111b) 내에 데이터선들(106)을 따라 개구된다. 공통전극(111)으로 공통전위가 설정되는 흑매트릭스(202)의 부분들(202a)은 대향기관(200) 위의 슬릿들(115)에 대향하는 위치들에 마련된다.

대표도  
도 4

색인어  
능동매트릭스형, 전기장, 흑매트릭스, 공통전극, 데이터선, 슬릿

명세서

도면의 간단한 설명



도 1은 본 발명의 제1실시예에 따른 능동매트릭스형 액정표시장치의 전체구조를 나타낸 도면;

도 2는 도 1의 부분 확대도;

도 3은 본 발명의 제1실시예에 따른 단위화소영역의 평면레이아웃도;

도 4는 도 3의 AA선에 대한 단면도;

도 5는 TFT기판에 구비된 구성요소들의 패턴을 나타내는 도면;

도 6은 TFT기판에 구비된 구성요소들의 패턴을 나타내는 도면;

도 7은 데이터라인 상의 전기장을 개략적으로 나타내는 도면;

도 8a 내지 도 10c는 제1실시예에 따른 TFT기판의 제조공정을 단계별로 나타낸 도면;

도 11는 제1실시예의 변형예에 따른 TFT기판의 평면레이아웃도;

도 12은 본 발명의 제2실시예에 따른 능동 매트릭스형 액정표시장치의 단면도;

도 13은 본 발명의 제3실시예에 따른 능동 매트릭스형 액정표시장치의 단면도;

도 12는 본 발명의 제4실시예에 따른 능동 매트릭스형 액정표시장치의 단면도;

도 15는 본 발명의 제5실시예에 따른 능동 매트릭스형 액정표시장치의 단면도;

도 16는 종래의 능동 매트릭스형 액정표시장치의 평면레이아웃도;

도 17은 도 16의 PP선에 대한 단면도;

도 18은 종래 능동 매트릭스형 액정표시장치의 평면레이아웃도; 및

도 19는 도 18의 QQ선에 대한 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 높은 성능특성을 갖는 능동매트릭스형 액정표시장치 및 그 제조방법에 관한 것이다.

기판에 평행한 전기장이 능동매트릭스형 액정표시장치용 액정에 가해지는 이른바 면내스위칭(IPS; In-Plane Switching)법이 개발되었다. IPS형 액정표시장치는 넓은 시야각을 얻을 수 있다는 이점을 가진다.

도 16은 IPS법에 따른 능동매트릭스형 액정표시장치에 구비된 단위화소영역이 평면레이아웃의 일 예를 보여준다. 도 17은 도 16에 보인 액정표시장치의 PP방향을 따라 절단된 단면을 보여준다. 도 17에 보인 것처럼, 액정표시장치는 TFT기판(100), 대향기판(200) 및 액정(300)을 포함한다. 이 액정표시장치는 이격기(spacer) 및 봉지재(둘 다 미도시)를 개재하여 서로 대향하게 배치된 TFT기판(100) 및 대향기판(200) 사이의 공간에 액정(300)을 채워 구성된다.



TFT기판(100)은 투명유리 등으로 이루어진 제1투명기판(101)을 포함한다. 주사선들(102, 도 17에는 미도시)과 공통배선들(103)이 제1투명기판(101)의 한 표면에 형성된다. 도 16에 보인 것처럼, 그것들 사이에 소정의 공간을 갖는 인접한 두 개의 주사선들(102)이, X방향으로 거의 평행하게 연장되어, 단위화소영역의 X방향을 결정한다. 공통배선들(103)은 주사선(102)과 거의 평행하게 연장되고, 공통배선들(103) 사이에 하나의 주사선(102)이 끼어 있도록 배치된다. 즉, 하나의 단위화소영역은 그 내부를 가로지르는 두 개의 공통배선들(103)을 가진다. 두 개의 공통배선들(103)은 단위화소영역 내에서 공통배선들(103)에 거의 수직하게 X방향으로 연장하는 세 개의 공통전극들(111)에 의해 서로 연결된다. 공통전극들(111)은 화소영역의 거의 중앙에서 연장하는 중앙부(111a), 그리고 중앙부(111a)의 양 측에서 연장하고 중앙부(111a)의 폭보다 더 큰 폭을 가지는 가장자리부(111b)를 가진다.

도 17에는, 제1투명기판(101), 주사선들(102) 및 공통배선들(103) 위에 형성된 층간절연막(104a)이 보여진다. 데이터선들(106)과 화소전극(112)은 층간절연막(104a) 위에 형성된다. 도 16에 보여진 반도체층(105)도 층간절연막(104a) 위에 형성된다. 반도체층(105)은 박막트랜지스터(TFT)를 구성한다. 반도체층(105)은 층간절연막(104a)을 개재하여 주사선(102) 위에 마련된다.

데이터선들(106)은 Y방향으로 주사선(102)에 거의 수직하게 연장하여, 단위화소영역의 Y방향을 결정한다. 화소전극(112)은 단위화소영역의 중앙에 배치된다. 화소전극(112)은 공통전극들(111)을 따라 Y방향으로 연장하는 두 개의 대향부들(112a)과, 각각이 공통배선(103)에 포개지고 또 대향부들(112a)의 한 가장자리를 지지하도록 배치된 두 개의 지지부들(112b)을 구비한다. 화소전극(112)의 대향부들(112a)은 인접한 공통전극들(111) 사이에 이러한 공통전극들(111)에 대향하도록 배치된다. 물론, 도 17에 보인 것처럼, 층간절연막(104a)은 공통전극들(111) 및 화소전극(112) 사이에 존재한다. 저장커패시터들이 공통배선들(103)과, 서로 대향하는 화소전극(112)의 지지부들(112b) 사이에 층간절연막(104a)을 개재하여 형성된다.

패시베이션막(104b)이 층간절연막(104a), 데이터선들(106), 화소전극(112) 및 TFT 위에 형성된다. 표면정렬처리를 받은 배향막(116)이 패시베이션막(104b) 위에 형성된다. 편광판(119)이 제1투명기판(101)의 다른 표면에 마련된다.

대향기판(200)은 제2투명기판(201)을 구비한다. 개구를 갖는 흑매트릭스(202)가 제2투명기판(201)의 한 표면에 형성된다. 흑매트릭스(202)는 차광효과를 갖는 재료로 만들어지고, 단위화소영역을 결정하는 데이터선들(106)에 대향하도록 설치된다. 흑매트릭스(202)의 개구는 색층(203)으로 덮여진다. 평탄막(204)과 배향막(205)이 흑매트릭스(202)와 색층(203) 위에 형성된다. 전도층(207)과 편광판(208)이 제2투명기판(201)의 바깥쪽 표면에 형성된다.

이 액정표시장치는 다음과 같이 동작한다. 액정표시장치를 구동하기 위하여, 구동회로(미도시)가 게이트펄스를 주사선들(102)에 순차적으로 인가하고, 표시색조(display tone)에 대응하는 전압의 데이터신호를 게이트펄스에 거의 동기시켜 데이터선들(106)에 인가한다. 게이트펄스가 인가되는(선택된) 주사선(102)에 연결된 TFT가 턴 온되고, 이때 데이터선들(106)에 인가되는 전압이 드레인전극(107), 반도체층(105) 및 소스전극(108)을 통해 화소전극(112)에 인가된다.

게이트펄스가 차단될 때, TFT는 턴 오프된다. 이때 화소전극(112)에 인가된 전압은 화소전극(112) 및 공통전극(111) 사이와 공통배선들(103) 및 화소전극들(112) 사이의 커패시터들에 저장된다.

따라서, 표시색조에 대응하는 전압은 다음 선택주기까지 각 단위화소영역의 액정에 인가된다. 이 전압이 인가되는 동안, 가판에 평행한 전기장이 공통전극들(111)과, 화소전극(112)의 대향부들(112a) 사이에 형성되고, 액정은 소망의 상태로 배향된다. 그러므로, 색층(203)의 색이 소망의 색조로 표시된다.



전술한 바와 같이, 이 액정표시장치에서는, 전기장이 공통전극들(111)과 화소전극(112)의 대향부들(112a) 사이에 형성되고, 기판에 평행한 이 전기장이 액정(300)에 인가된다. 그러나, 데이터선들(106)도 화소전극(112)의 대향부들(112a) 근처에 이 대향부들을 따라 형성된다. 따라서, 데이터선들(106) 및 화소전극(112) 사이에도 이것들 간의 전위차로 인해 전기장이 형성된다. 이 전기장의 일부는 데이터선들(106)에 가까이 있는 얼마간의 액정(300)에 "새나간다(leak)". 이른바 리크 전기장은 액정(300)의 배향을 교란시켜 전경(disclination)을 야기하고, 따라서 표시품질이 열화된다.

데이터선들(106)에 의해 야기된 전기장이 액정(300)으로 새는 것은 바람직하지 않다. 따라서, 공통전극들(111)의 광폭(wider)의 가장자리부들(111b)은 이 리크전기장을 줄이기 위해 제공된다. 도 17에 보인 것처럼, 데이터선들(106)에 의해 야기된 전기장은 공통전극들(111)의 가장자리부들(11b)에 의해 주로 차단(terminate)되고 화소전극(112)에 의해 차단되지 않는다. 그러므로, 액정(300)으로의 전기장누설은 방지된다.

그러나, 누설에 대해 충분히 높은 방지효과(차폐효과)를 얻기 위해서는, 공통전극들(111)의 가장자리부들(111b)의 폭을 넓게 하는 것이 필요하다. 공통전극들(111)은 통상 크롬 등과 같은 차광효과를 갖는 금속으로 만들어진다. 그러므로, 가장자리부들(111b)의 폭이 넓어질수록, 액정표시장치의 단위화소영역에 대한 표시영역의 비, 즉 개구비(aperture ratio)가 감소된다.

일본공개특허공보 평11-119237호와 같이, 공통전극이 데이터선 위쪽에 형성된 구조가, 높은 차광효과를 얻으면서 개구비의 감소를 방지할 수 있는 구조를 제안하고 있다. 도 18은 그런 구조를 갖는 액정표시장치의 평면레이아웃의 예를 보여준다. 도 19는 도 18에 보인 액정표시장치가 QQ방향을 따라 절단된 단면을 보여준다. 도 16 및 17에 보인 것들과 동일한 구성요소들에는 동일한 참조번호들이 주어지고, 그러한 구성요소들에 관한 설명이 생략된다.

도 17에 보인 액정표시장치와는 달리, 이 액정표시장치에서는, 화소전극(112)과 공통전극(111)이 데이터선들(106) 위쪽의 동일 면상에 형성된다.

도 19에 보인 것처럼, 공통전극(111)의 부분들은 데이터선들(106) 바로 위쪽의 층간절연막(110) 위에 형성된다. 도 18에 보인 것처럼, 공통전극(111)은 도 18의 상부에 보인 공통배선(103)에 포개지며 X방향으로 연장되는 지지부와, 지지부로부터 Y방향으로 연장하는 두 개의 대향부들을 구비한다. 대향부들은 단위화소영역에 존재하는 인접한 두 개의 공통배선들(103) 사이의 거리와 거의 동일한 길이를 가진다. 공통전극들(111)은 제1층간절연막(104) 및 제2층간절연막(110)을 관통하는 접촉홀(113)을 통해 공통배선(103)에 전기 접속된다.

도 19에 보인 것처럼, 화소전극(112)은 제1층간절연막(104) 위에 형성된 제1화소전극(109)과 제2층간절연막(110) 위에 형성된 제2화소전극(112a)을 구비한다.

도 18에 보인 것처럼, 제1화소전극(109)은 H자 형상으로 형성된다. 즉, 제1화소전극(109)은 공통배선들(103)과 겹치도록 배치된 두 개의 선형부들과, 제2화소전극(112a)에 대향하고 두 개의 선형부들에 연결되도록 배치된 선형부를 가진다. 제1화소전극(109)의 일부는 소스전극(108)에 연결된다. 보상용 커패시터가 공통배선(103)과 공통배선(103)에 대향하는 제1화소전극(109) 사이에 형성된다.

제2화소전극(112a)은 세 개의 대향부들과 세 개의 대향부들을 지지하는 지지부를 구비하여, E자 형상을 형성한다. 제2화소전극(112a)은 동일 표면에 형성된 공통전극(111)과 맞물리도록 배치된다. 제2화소전극(112a)의 인접한 두 개의 대향부들은 공통전극의 하나의 대향부(111a)를 사이에 끼고 있다. 공통전극(111)의 지지부는 도 18의 상부에 보인 공통배선(103)과 포개지도록 배치되고, 공통전극용 접촉홀(113)을 통해 공통배선(103)에 전기 접속된다. 공통전극(111)과 제2화소전극(112a)은, 예를 들면, 인듐주석산화물(ITO; Indium Tin Oxide)과 같은 광투과성을 갖는 재료로 만들어진다.



이 액정표시장치에서는, 데이터선들(106)의 폭보다 넓은 폭을 갖는 공통전극(111)에 구비된 가장자리부들(111b)이 데이터선들(106)의 위쪽에 마련된다. 데이터선들(106)로부터 형성된 전기장이 도 19에 화살표로 보인 것처럼 공통전극(111)의 가장자리부들(111b)에 의해 차단된다. 그러므로, 액정(300)으로의 전기장의 누설은 방지된다. 따라서, 공통전극(111) 및 화소전극(112) 사이의 전기장에 주어지는 영향은 감소되고, 표시되는 영상이 덜 열화된다.

그러나, 데이터선들(106)과 공통전극(111)의 가장자리부들(111b)은 그것들의 거의 전체 표면들이 제2층간절연막(110)을 개재하여 서로 대향하므로, 공통전극(111)의 가장자리부들(111b)과 데이터선들(106) 사이의 정전용량은 비교적 크게 된다. 따라서, 데이터선들(106)에 인가되는 신호의 지연은 무시될 수 없다.

그러한 정전용량을 줄이기 위해, 데이터선들(106)과 가장자리부들(111b) 사이의 제2층간절연막(110)은 두껍게 형성될 수 있다. 그러나, 이 경우, 제2층간절연막(110)을 형성하기 위해 더 긴 시간이 요구되고, 따라서 제조 생산량(throughput)이 떨어진다. 그리고 제2층간절연막(110)이 두껍게 형성되므로, 높은 종횡비(aspect ratio)를 갖는 접촉홀이 형성될 것이다. 따라서, 수율(yield)이 떨어지고 제조단가가 높아진다.

그리고, 제2층간절연막(110)을 개재하고 있는 데이터선들(106)과 공통전극(111)의 가장자리부들(111b)의 대향면적들이 크므로, 제2층간절연막(110)에 야기된 핀홀(pinhole)과 같은 결함으로 인해 데이터선들(106)과 가장자리부들(111b) 사이에는 전기단락(층간단락)이 일어날 가능성이 높다. 전기 단락(short circuit)은, 표시동작이 수행될 때 선결함(line defect)이 발생할 가능성을 증가시킨다.

위에서 언급한 공개공보에는, 공통전극의 가장자리부들이 데이터선들의 일부를 덮도록 형성된 실시예도 개시되어 있다. 그러나, 공통전극의 가장자리부들이 데이터선들의 일부를 덮도록 형성된 경우, 전기장이 데이터선들 이외의 다른 단위 화소영역부분들로 새나간다.

더욱이, 제2층간절연막(110)이 실리콘산화막 등과 같은 무기재의 막으로 이루어진 경우, 그 유전상수가 높으므로, 제2층간절연막(110)은 비교적 두꺼운 대략 1 내지 10 $\mu\text{m}$ 로 형성될 필요가 있다. 이는 전술한 바와 동일한 문제들을 야기한다. 한편, 제2층간절연막(110)이 아크릴수지 등과 같은 유기재의 막으로 이루어진 경우, 그 유전상수가 낮으므로, 제2층간절연막은 대략 0.5 내지 5 $\mu\text{m}$  두께를 가지도록 형성될 수 있다. 따라서, 두꺼운 막에 의해 야기된 문제들이 회피될 수 있다. 그러나, 유기막은 이온들에 대해 높은 투과율(permeability)을 가진다. 따라서, TFT의 백채널(back channel)에 이온들이 들러붙는 것을 방지하기 위해, 유기막으로서 사용될 수 있는 재료들은 제한된다. 그리고, 제2층간절연막(110)이 무기막 및 유기막으로 된 2층막으로 형성된 경우, 무기막 및 유기막에 개구를 개별적으로 형성할 필요가 있다. 따라서, 제조단계들과 제조단가가 크게 증가된다.

종합해 보면, 종래에는, 제조단계들과 제조단가를 크게 증가시키지 않고 제조될 수 있으며, 신호의 지연이 줄어들고, 표시불량이 감소된 능동매트릭스형 액정표시장치가 제공되지 않았다.

#### 발명이 이루고자 하는 기술적 과제

이 문제들을 해결하기 위한 본 발명의 목적은, 신호지연이 적고 표시불량이 감소된 능동매트릭스형 액정표시장치와 그 제조방법을 제공함에 있다.

본 발명의 다른 목적은, 데이터선들로부터의 전기장의 누설을 방지할 수 있으면서 신호지연이 적은 능동매트릭스형 액정표시장치와 그 제조방법을 제공함에 있다.

#### 발명의 구성 및 작용



전술한 목적들을 달성하기 위한 본 발명의 제1양태에 따른 능동매트릭스형 액정표시장치는, 한 쌍의 기판들(101, 201); 한 쌍의 기판들(101, 201) 사이에 봉지된 액정(300); 한 쌍의 기판들(101, 201) 중 하나의 한 표면에서 서로 교차하도록 배치된 복수개의 데이터선들(106) 및 복수개의 주사선들(102); 전류통로의 한 끝이 데이터선들(106)의 대응하는 하나에 연결된 전류통로를 가지고, 주사선들(102) 중 대응하는 하나에 연결된 제어단자를 갖는 스위칭소자; 절연막(110)을 개재하여 데이터선들(106) 위쪽에 마련되고, 스위칭소자의 전류통로의 다른 끝에 연결된 화소전극(112) 및 절연막(110)을 개재하여 데이터선들(106)에 대향하고, 데이터선들(106)과 겹치는 부분들(111b)에 슬릿들(115)을 가져, 화소전극(112)과의 사이에 전기장을 발생하는 공통전극(111)을 포함한다.

공통전극(111)과 화소전극(112)은 각각 소정의 길이만큼 서로 거의 평행하게 대향하는 선형부들(111c, 112a)을 가지는 것이 좋다.

겹치는 부분들(111b)은 선형부들(111c, 112a)을 따라 마련되어도 좋다.

슬릿들(115)은 선형부들(111c, 112a)의 길이와 거의 동일한 길이를 가져도 좋다.

슬릿들(115)은 겹치는 부분들(111b)의 폭의 거의 중앙에 형성되어도 좋다.

공통전극(111)의 겹치는 부분들(111b)은 데이터선들(106)의 폭보다 넓거나 같은 폭을 가질 수 있다.

슬릿들(115)은 데이터선들(106)의 폭보다 작은 폭을 가질 수 있다.

공통전극(111)과 화소전극(112)은 동일 면(plane) 위에 있어도 좋다.

공통전극(111)과 화소전극(112)은 투명전도성 재료로 이루어져도 좋다.

공통전극(111)과 화소전극(112)은 각기 다른 면들 위에 있어도 좋다.

한 쌍의 기판들(101, 201)에 평행한 방향의 전기장이 공통전극(111)과 화소전극(112) 사이에 형성되어도 좋다.

본 발명의 제2양태에 따른 능동매트릭스형 액정표시장치는, 한 쌍의 기판들(101, 201); 한 쌍의 기판들(101, 201) 사이에 봉지된 액정(300); 한 쌍의 기판들(101, 201) 중 하나의 한 표면에서 서로 교차하도록 배치된 복수개의 데이터선들(106) 및 복수개의 주사선들(102); 전류통로의 한 끝이 데이터선들(106)의 대응하는 하나에 연결된 전류통로와, 주사선들(102) 중 대응하는 하나에 연결된 제어단자를 갖는 스위칭소자; 절연막(110)을 개재하여 데이터선들(106) 위쪽에 마련되고, 스위칭소자의 전류통로의 다른 끝에 연결된 화소전극(112); 절연막(110)을 개재하여 데이터선들(106)에 대향하고, 데이터선들(106)과 겹치는 부분들(111b)에 슬릿들(115)을 가져, 화소전극(112)과의 사이에 전기장을 발생하는 공통전극(111); 및 한 쌍의 기판들(101, 201) 위에 슬릿들(115)을 개재하여 데이터선들(106)에 대향하도록 마련되고, 공통전극(111)으로 공통전위로 설정되는 제1전도막(202a)을 포함한다.

공통전극(111)과 화소전극(112)은 각각 소정의 길이만큼 서로 거의 평행하게 대향하는 선형부들(111c, 112a)을 가질 수 있다.

겹치는 부분들(111b)은 선형부들(111c, 112a)을 따라 마련되어도 좋다.

슬릿들(115)은 선형부들(111c, 112a)의 길이와 거의 동일한 길이를 가질 수 있다.

슬릿들(115)은 겹치는 부분들(111b)의 폭의 거의 중앙에 형성되어도 좋다.



공통전극(111)의 겹치는 부분들(111b)은 데이터선들(106)의 폭보다 넓거나 같은 폭을 가질 수 있다.

슬릿들(115)은 데이터선들(106)의 폭보다 작은 폭을 가질 수 있다.

공통전극(111)과 화소전극(112)은 동일 면 위에 있어도 좋다.

공통전극(111)과 화소전극(112)은 투명전도성 재료로 이루어질 수 있다.

공통전극(111)과 화소전극(112)은 각기 다른 면들 위에 있어도 좋다.

이 능동매트릭스형 액정표시장치는 제1전도막(202a)과 공통전극(111)을 서로 전기적으로 접속시키는 플러그(118)를 더 포함할 수 있다.

이 능동매트릭스형 액정표시장치는, 공통전극(111)의 면과는 다른 면 위에 마련되며 공통전극(111)에 전기 접속된 공통배선(103); 및 공통배선(103)에 연결되고, 제1전도막(202a) 및 공통전극(111)을 서로 전기적으로 접속시키는 플러그(118)를 더 포함할 수 있다.

제2전도막(139a)이 제1전도막(202a) 및 공통배선(103)간의 접속을 향상시키기 위해 제1전도막(202a) 및 공통배선(103) 사이에 마련되어도 좋다.

제2전도막(139a)은 공통전극(111) 및/또는 화소전극(112)의 재료와 동일한 재료로 이루어져도 좋다.

제1전도막(202a)은 슬릿들(115)의 폭보다 넓거나 같은 폭을 가질 수 있다.

제2전도막(202a)은 흑매트릭스(202)로서 기능할 수 있다.

이 능동매트릭스형 액정표시장치는, 한 쌍의 기판들(101, 201) 중 다른 하나 위에 소정의 패턴으로 배치되고 평탄막(204)에 의해 덮여지는 흑매트릭스(202)를 더 포함할 수 있다.

제1전도막(209a)은 평탄막(204) 위에 마련되어도 좋다.

제1전도막(209a)은 흑매트릭스(202)의 패턴과 거의 동일한 패턴을 가질 수 있다.

한 쌍의 기판들(101, 201)에 평행한 전기장이 공통전극(111)과 화소전극(112) 사이에서 발생되어도 좋다.

전술한 목적을 달성하기 위한, 본 발명의 제3양태에 따른 능동매트릭스형 액정표시장치를 제조하는 방법은, 한 쌍의 기판들(101, 201); 한 쌍의 기판들(101, 201) 중 하나 위에 마련된 박막트랜지스터; 박막트랜지스터의 드레인에 연결된 데이터선들(106); 박막트랜지스터의 소스에 연결된 화소전극(102); 및 화소전극(112)과의 사이에 전기장을 발생시키는 공통전극(111)을 포함하는 액정표시장치를 제조하기 위한 방법으로서,

데이터선들(106) 위에 절연막(110)을 형성하는 단계;

절연막(110) 위에 제1금속막(139)을 형성하는 단계; 및

제1금속막(139)을 패터닝하여, 공통전극(111)을 형성하고 또 데이터선들(106)과 겹치는 공통전극(111)의 부분들(111b)에 슬릿들(115)을 형성하는 단계를 포함한다.

이 능동매트릭스형 액정표시장치 제조방법은, 화소전극(112)을, 소정의 길이를 갖는 선형부들(112a)을 가지는 형상으로 형성하는 단계를 더 포함할 수 있다.



공통전극(111)을 형성하는 단계에서, 화소전극(112)의 선형부들(112a)에 대향하는 부분들(111c)이 형성되고, 슬릿들(115)은 선형부들(112a)의 길이와 거의 동일한 길이를 갖도록 형성되어도 좋다.

공통전극(111)을 형성하는 단계에서, 슬릿들(115)은 겹치는 부분들(111b)의 거의 중앙에 형성되어도 좋다.

공통전극(111)을 형성하는 단계에서, 공통전극(111)의 겹치는 부분들(111b)은 데이터선들(106)의 폭보다 넓거나 같은 폭을 가지도록 형성되어도 좋다.

공통전극(111)을 형성하는 단계에서, 슬릿들(115)은 데이터선들(106)의 폭보다 작은 폭을 가지도록 형성되어도 좋다.

공통전극(111)과 화소전극(112)은 실질적으로 동일한 단계에서 형성되어도 좋다.

본 발명의 제4양태에 따른 액정표시장치를 제조하는 방법은, 한 쌍의 기관들(101, 201); 한 쌍의 기관들(101, 201) 중 하나 위에 마련된 박막트랜지스터; 박막트랜지스터의 드레인에 연결된 데이터선들(106); 박막트랜지스터의 소스에 연결된 화소전극(102); 및 화소전극(112)과의 사이에 전기장을 발생하는 공통전극(111)을 포함하는 액정표시장치를 제조하기 위한 방법으로서,

· 데이터선들(106)을 덮는 절연막(110)을 형성하는 단계;

절연막(110) 위에 제1금속막(139)을 형성하는 단계;

제1금속막(139)을 패터닝하여, 공통전극(111)을 형성하고 또 데이터선들(106)과 겹치는 공통전극(111)의 부분들(111b)에 슬릿들(115)을 형성하는 단계; 및

한 쌍의 기관들(101, 201) 중 다른 하나 위에, 상기 슬릿들(115)을 개재하여 데이터선들(106)에 대향하는 제1전도막(202a)을 형성하는 단계를 포함한다.

이 능동매트릭스형 액정표시장치 제조방법은, 화소전극(112)을, 소정의 길이를 갖는 선형부들(112a)을 가지는 형상으로 형성하는 단계를 더 포함할 수 있으며, 공통전극(111)을 형성하는 단계에서, 화소전극(112)의 선형부들(112a)에 대향하는 부분들(111c)이 형성되고, 슬릿들(115)은 선형부들(112a)의 길이와 거의 동일한 길이를 갖도록 형성되어도 좋다.

공통전극(111)을 형성하는 단계에서, 슬릿들(115)은 겹치는 부분들(111b)의 거의 중앙에 형성되어도 좋다.

공통전극(111)을 형성하는 단계에서, 공통전극(111)의 겹치는 부분들(111b)은 데이터선들(106)의 폭보다 넓거나 같은 폭을 가지도록 형성되어도 좋다.

공통전극(111)을 형성하는 단계에서, 슬릿들(115)은 데이터선들(106)의 폭보다 작은 폭을 가지도록 형성되어도 좋다.

공통전극(111)과 화소전극(112)은 실질적으로 동일한 단계에서 형성될 수 있다.

공통전극(111)은, 공통전극(111)이 형성된 면과는 다른 면에 마련된 공통배선(103)에 연결될 수 있다.

이 능동매트릭스형 액정표시장치 제조방법은, 공통전극(111)과 제1전도막(202a)을 서로 전기적으로 접속시키는 플러그(118)를 형성하는 단계를 더 포함할 수 있다.

이 능동매트릭스형 액정표시장치 제조방법은, 공통배선(103)과 플러그(118) 사이에 제2전도막(139a)을 형성하는 단계를 더 포함할 수 있다.



제2전도막(139a)은 공통전극(111) 및/또는 화소전극(112)과 함께 동일 단계에서 형성될 수 있다.

이 능동매트릭스형 액정표시장치 제조방법은, 소정의 패턴을 갖는 흑매트릭스(202)를 한 쌍의 기판들(101, 201) 중 다른 하나의 표면에 형성하는 단계; 및 흑매트릭스(202) 위에 평탄막(204)을 형성하는 단계를 더 포함할 수 있다.

제1전도막(209a)은 평탄막(204) 위에 형성되어도 좋다.

제1전도막(209a)을 형성하는 단계에서, 제1전도막(209a)은 흑매트릭스(202)의 패턴과 동일한 패턴으로 형성되어도 좋다.

#### [제1실시예]

이하 첨부된 도면들을 참조하여 본 발명의 제1실시예를 상세히 설명한다. 제1실시예에 따른 능동매트릭스형 액정표시장치는 기판에 평행하게 형성되는 전기장을 이용하는 IPS(In-plane Switching)방식의 능동매트릭스형 액정표시장치를 구성한다.

도 1은 제1실시예에 따른 전체 능동매트릭스형 액정표시장치의 평면레이아웃을 보여준다. 도 2는 도 1에 보인 액정표시장치(1)의 가장자리부에 대한 확대도를 보여준다. 도 3은 도 1에 보인 액정표시장치(1)의 단위화소의 평면레이아웃을 보여준다. 도 4는 도 3의 단위화소의 AA방향을 따라 절단된 단면도를 보여준다.

도 1에 보인 바와 같이, 액정표시장치(1)는 거의 장방형이다. 액정표시장치(1)는 두 부분, 즉 거의 정방형이고 거의 모두가 액정표시장치(1) 위에 형성된 화소영역(11)과, 화소영역(11)을 둘러싸는 주변영역(12)을 구비한다.

후술하는 바와 같이, 화소영역(11)은 매트릭스형태로 배열된 복수개의 단위화소영역을 포함한다. 색층, 스위칭소자로서의 TFT(박막트랜지스터) 등이 각 단위화소영역에 제공된다.

주변영역(12)은 액정표시장치(1)의 단자영역을 형성한다. 데이터선단자들(2), 주사선단자들(3) 및 공통배선단자(4)가 주변영역(12)에 제공된다.

데이터선단자들(2)은 액정표시장치의 한 라인(X방향으로 연장하는 선)을 따라 제공된다. 복수개의 데이터선단자(2)는 규칙적인(정해진) 간격으로 마련된다. 도 2에 보인 바와 같이, 복수개의 데이터선들(106)이 각 데이터선단자(102)에 접속된다. 데이터선들(106)은 데이터선단자들(2)이 제공된 라인으로부터 Y방향으로 거의 수직하게 연장한다. 데이터선단자들(2)에 인가된 데이터신호는 후술하는 바와 같이, 데이터선들(106)을 통해 TFT들의 드레인들에 인가된다.

도 1에 보인 바와 같이, 주사선단자들(3)은 액정표시장치(1)의 대향하는 두 개의 라인(Y 방향으로 연장하는 선들)을 따라 제공된다. 복수개의 주사선단자들(3)은 규칙적인 간격으로 마련된다. 도 2에 보인 바와 같이, 복수개의 주사선들(102)은 주사선단자들(3)이 제공된 라인들로부터 X 방향으로 거의 수직하게 연장한다. 주사선단자들(3)에 인가된 주사신호는 주사선(102)을 경유하여 TFT들의 게이트들에 인가된다.

도 1 및 도 2에 보인 바와 같이, 공통배선단자(4)는 액정표시장치(1)의 주변을 덮도록 형성된다. 공통배선단자(4)에 인가된 공통전압은 후술하는 바와 같이 공통전극에 인가된다.

도 3은 액정표시장치(1)의 단위화소영역(11a)의 평면도를 보여준다. 도 4는 액정표시장치(1)의 단면구조를 보여준다. 이 단면은 도 3에 보인 액정표시장치(1)의 AA선을 따라 절단된 단면과 주변영역(12)의 단면에도 대응한다.

도 4에 보인 바와 같이, 본 실시예에 따른 액정표시장치(1)는 TFT기판(100), 대향기판(200) 및 액정(300)을 포함한다.

TFT기판(100)과 대향기판(200)은 이격기(미도시)를 개재하여 서로 대향하도록 설치된다. TFT기판(100)과 대향기판(200)의 주변들은 봉지부재(미도시)에 의하여 연결된다. 액정(300)은 TFT기판(100), 대향기판(200) 및 봉지부재에 의하여 형성된 액정셀(봉지된 용기)내에 충전된다.



TFT기관(100)은 투명한 유리나 투명한 플라스틱 등으로 이루어진 제1투명기관(101)을 구비한다. 주사선들(102; 도 4에 미도시) 및 공통배선들(103)은 제1투명기관(101)의 한 표면에 형성된다. 주사선들(102) 및 공통배선들(103)은 예를 들면, 크롬, 알루미늄, 몰리브덴, 탄탈, 구리, 알루미늄 - 구리, 알루미늄 - 실리콘 - 구리, 티타늄이나 텅스텐, 또는, 그러한 금속들을 주성분으로 하는 금속화합물과 같은 불투명막이나, ITO(인듐틴옥사이드)와 같은 광투과특성을 갖는 막, 또는 그러한 막들의 적층막으로 이루어진다.

도 5는 주사선들(102)과 공통배선들(103)의 패턴들을 보여준다. 도 5에 보인 바와 같이, 주사선들(102)은 X방향으로 연장하며, 단위화소영역(11a)의 X방향을 결정한다.

공통배선들(103)은 주사선들(102)을 따라 X방향으로 연장한다. 두 개의 공통배선들(103)은 인접한 두 개의 주사선(102)들 사이에서 연장한다. 따라서, 두 개의 공통배선(103)은 단위화소영역(11a)에 존재한다.

도 4에 보인 바와 같이, 제1층간절연막(104)은 제1투명기관(101), 주사선들(102) 및 공통배선들(103) 상에 형성된다. 제1층간절연막(104)은, 예를 들면, 실리콘산화막, 실리콘질화막 또는 그러한 막들의 적층막으로 이루어진다.

데이터선들(106) 및 제1화소전극(109)은 제1층간절연막(104) 상에 형성된다. 데이터선(106)과 제1화소전극(109)은 예를 들면, 크롬, 알루미늄, 몰리브덴, 탄탈, 구리, 알루미늄 - 구리, 알루미늄 - 실리콘 - 구리, 티타늄이나 텅스텐, 또는, 그러한 금속들을 주성분으로 하는 금속화합물과 같은 불투명막이나, ITO와 같은 광투과특성을 갖는 막, 또는 그러한 막들의 적층막으로 이루어진다.

데이터선들(106)과 제1화소전극(109)의 패턴들이 도 5에 보여진다. 도 5에 보인 바와 같이, 데이터선들(106)은 그것들 사이에 X방향으로 공간을 가지면서 Y 방향으로 연장한다. 데이터선들(106)은 Y방향으로 연장하며 Y방향으로 단위화소영역(11a)의 측면들(변들)을 결정한다.

제1화소전극(109)은 거의 H자모양으로 형성되며, 단위화소영역(11a)의 거의 중앙에 배치된다. H자모양의 제1화소전극(109)중에서 두 개의 대향라인부분들이 단위화소영역(11a)의 내부를 가로지르는 공통배선들(103)에 포개지도록 설치된다. H자형의 제1화소전극(109)의 중앙부분은 단위화소영역(11a)의 거의 중앙부분에서 데이터선(106)을 따라 Y방향으로 연장한다. 보상커패시터들이 제1층간절연막(104)을 개재하여 서로 대향하는 제1화소전극(109)과 공통배선(103) 사이에 형성된다.

TFT를 구성하는 반도체섬(105)이 단위화소영역(11a)에 제공된다. 도 5에 보인 바와 같이, 반도체섬(105)은 주사선(102)과 데이터선(106)의 교차부 근처에서 형성되며, 주사선(102)에 포개진다. 도 4에 도시되진 않았지만, 반도체섬(105)은 데이터선(106) 위쪽의 제1층간절연막(104) 상에 형성된다. 반도체섬(105)은 비정질실리콘, 폴리실리콘 등으로 이루어진다. 인 등이 도핑된 드레인영역과 소스영역이 반도체섬(105)의 표면상에 형성된다.

드레인전극(107)과 소스전극(108)은 반도체섬(105)의 드레인영역과 소스영역에 각각 접속된다. 드레인전극(107)은 데이터선(106)에 접속되며, 데이터선(106)과는 실질적으로 공유하는 금속막으로 형성된다. 소스전극(108)은 제1화소전극(109)에 접속되며, 제1화소전극(109)과 실질적으로 공유하는 금속막으로 형성된다. 반도체섬(105)은 제1층간절연막(104)을 매개하여 주사선(102) 상에 마련된다. 주사선(102)은 TFT의 게이트전극으로서 동작한다.

도 4에서, 제2층간절연막(110)은 데이터선들(106), 제1화소전극(109) 및 제1층간절연막(104) 상에 형성된다. 제2층간절연막(110)은 아크릴수지 등과 같은 투명한 수지로 이루어진다. 제2층간절연막(110)의 한 표면은 평탄화되어, 제2층간절연막(110)은 평탄막으로서 역할을 한다. 제2층간절연막(110)은, 실리콘산화막이나 실리콘질화막과 같은 평탄효과를 갖지 않는 무기절연막으로 이루어져도 좋다.



공통전극(111)과 제2화소전극(112)은 제2층간절연막(110) 상에 형성된다. 공통전극(111)과 제2화소전극(112)은 예를 들면, 크롬, 알루미늄, 몰리브덴, 탄탈, 구리, 알루미늄-구리, 알루미늄-실리콘-구리, 티타늄이나 텅스텐, 또는, 그러한 금속들을 주성분으로 하는 금속화합물과 같은 불투명막이나, ITO(인듐틴옥사이드)와 같은 광투과특성을 갖는 막, 또는 그러한 막들의 적층막으로 이루어진다. ITO와 같은 광투과특성을 갖는 재료가 높은 개구율을 얻기 위하여 바람직하다.

도 6은 공통전극(111)과 제2화소전극(112)의 패턴을 보여준다. 도 6에 보인 바와 같이, 공통전극(111)은 X방향연장부(111a), Y방향연장부들(111b) 및 대향부들(111c)을 구비한다.

공통전극(111)의 X방향연장부(111a)와 Y방향연장부들(111b)은 X방향과 Y방향으로 각각 연장하며 서로 거의 수직하게 설정된다. 도 3에 보인 바와 같이, X방향연장부(111a)는 반도체섬(105)과 중첩되지 않는 하나의 공통배선(103)과 중첩하도록 배치된다. 즉, X방향연장부(111a)는 도 5에 보인 바와 같이 두 개의 공통배선들(103) 중의 상부에 있는 하나의 중첩하도록 설치된다. 공통전극(111)은 도 3 및 도 5에서 그 위치가 표시된 공통전극을 위한 접촉홀(113)을 매개하여 공통배선(103)에 전기적으로 접속된다.

공통전극(111)의 Y방향연장부들(111b)은 Y방향으로 연장하며, 도 5에 보인 데이터선(106)과 중첩하도록 데이터선(106)을 따라 배치된다. Y방향연장부들(111b)은 데이터선들(106)보다 넓거나 같은 폭을 가진다. 후술하는 바와 같이, 데이터선(106)으로부터 발생된 전기장은 제2층간절연막(110)을 통해 공통전극(111)의 Y방향연장부(111b)에서 중단(차단)된다.

도 6에 보인 바와 같이, 공통전극(111)의 대향부들(111c)은 X방향연장부(111a)로부터 Y방향으로 돌출하는 선형부들로서 형성된다. 대향부들(111c)은 단위화소영역(11a) 내에, 복수개, 예를 들면, 2개 형성된다. 도 3에 보인 바와 같이, 대향부들(111c)은 대향부(111c)와 대향하는 제1화소전극(109) 부분의 길이와 거의 동일한 Y방향으로의 길이를 가진다.

제2화소전극(112)은 단위화소영역(11a)의 거의 중앙에 배열되며 빗모양으로 형성된다. 빗모양의 제2화소전극(112)은 Y방향으로 연장하는 복수개, 예를 들면 3개의 선형대향부들(112a) 및 대향부(112a)를 지지하고 X방향으로 연장하는 선형지지부(112b)를 구비한다. 제2화소전극(112)은 그 대향부들(112a)이 공통전극(111)의 대향부들(111c)과 거의 서로 평행하도록 배치된다. 후술하는 바와 같이, 액정분자들을 배향시키는 전기장은 제2화소전극(112)의 대향부들(112a)과 공통전극(111)의 대향부들(111c) 사이에서 발생된다.

도 3에 보인 바와 같이, 제2화소전극(112)은 제2화소전극(112)의 일부가 소스전극(108)과 겹치도록 설치된다. 화소전극용의 접촉홀(114)이 소스전극(108)과 제2화소전극(112)의 겹치는 위치에 형성된다. 제2화소전극(112)은 제2층간절연막(110)을 관통하는 화소전극용 접촉홀(114)을 통해 소스전극(108) (즉, 제1화소전극(109))에 전기적으로 접속된다.

공통전극(111)의 Y방향연장부들(111b)은 각각 폭의 중앙에 슬릿들(115)을 가진다. 각 슬릿(115)은 X방향연장부(111a)와 Y방향연장부(111b)의 교차부를 제외하고 Y방향연장부(111b)의 거의 모든 길이를 따라 형성된다.

데이터선(106)이 10 $\mu$ m의 폭을 가지며 Y방향연장부(111b)가 18 $\mu$ m의 폭을 가지는 경우, 슬릿(115)의 폭은, 예를 들면, 5 $\mu$ m로 설정된다. 이 경우, Y방향연장부(111b)는 데이터선(106)의 양측으로부터 여분의 4 $\mu$ m 폭을 가지며, 데이터선(106)의 양측을 대칭적으로 커버한다. 치수들이 상기와 같이 설정되는 경우, Y방향연장부(111b)는 데이터선(106)의 양측으로부터 적어도 여분의 1.5 $\mu$ m 폭을 가지는 것이 바람직하다.



도 4에 보인 바와 같이, 배향막(116)은 공통전극(111), 제2화소전극(112) 및 제2층간절연막(110) 상에 형성된다. 배향막(116)은 예를 들면, 폴리이미드수지로 이루어진다. 배향막(116)의 표면은 평탄화되며, 러빙(rubbing) 등과 같은 배향처리를 받는다.

주변영역(12)에서, 기판들을 접속시키기 위한 접촉홀(117)이 개구되어 제2층간절연막(110)과 제1층간절연막(104)을 관통한다. TFT기판(100)을 대향기판(200)에 전기적으로 접속하는 플러그(118)가 기판들을 접속하기 위한 접촉홀(117)에 삽입된다. 플러그(118)는, 예를 들면, 은페이스트로 이루어진다. 플러그(118)는 다른 금속들 등의 페이스트로 이루어져도 좋다.

편광판(119)은 제1투명기판(101)의 다른 면에 부착된다.

대향기판(200)은 투명한 유리나 투명한 플라스틱 등으로 이루어진 제2투명기판(201)을 포함한다.

흑매트릭스(202)는 제2투명기판(201)의 한 표면에 형성된다. 흑매트릭스(202)는 크롬이나 카본블랙 등과 같은 차광 특성을 갖는 도전성물질로 이루어진다.

흑매트릭스(202)는 화소들 사이에 콘트라스트를 증가시키는 기능을 가진다. 흑매트릭스(202)는 복수개의 개구들을 가진 패턴으로 형성된다. 흑매트릭스(202)는 적어도 데이터선들(106)에 중첩하는 부분들(202a), 및 주변영역(12)에 마련된 부분(202b)을 구비한다.

도 4에 보인 바와 같이, Y방향연장부(111b)는 흑매트릭스(202)의 부분(202a)과 데이터선(106) 사이에 존재한다. 전술한 바와 같이, Y방향연장부(111b)는 슬릿(115)을 구비한다. 따라서, 흑매트릭스(202)의 부분(202a)과 데이터선(106)은 슬릿(115)을 개재하여 서로 대향한다.

흑매트릭스(202)의 부분(202a)은 슬릿(115)에 중첩하고 슬릿(115) 폭보다 크거나 같은 폭을 가지도록 형성된다. 예를 들면, 슬릿(115)의 폭이 전술한 바와 같이 5 $\mu$ m인 경우, 흑매트릭스(202)의 부분(202a) 폭은 적어도 5 $\mu$ m보다 넓거나 같도록 설정된다. 후술하는 바와 같이, 슬릿(115)을 거의 덮지 않도록 형성된 흑매트릭스(202)의 부분(202a)은 슬릿(115)을 통하여 누설하는 데이터선(106)의 전기장을 종단시킨다.

색층(203)은 흑매트릭스(202)의 각 개구의 일부에 형성된다. 이 부분은 표시영역에 대응한다. 색층(203)은, 예를 들면, 세 개의 안료, 즉, 적색(R), 녹색(G) 및 청색(B) 중의 하나가 분산된 아크릴수지를 구비한 수지로 이루어진다.

평탄막(204)은 흑매트릭스(202), 색층(203) 및 제2투명기판(201) 상에 형성된다. 평탄막(204)은 아크릴수지 등과 같은 투명한 수지로 이루어진다. 평탄막(204)의 표면은 평탄화된다.

배향막(205)은 평탄막(204) 상에 형성된다. 배향막(205)은 예를 들면 이미드수지로 이루어진다. 배향막(205)의 표면은 평탄화되며, 러빙 등과 같은 배향처리를 받는다.

흑매트릭스의 다른 부분(202; 즉, 부분(202b))은 대향기판(200)의 주변영역(12)에 형성된다. 기판들을 접속하기 위한 접촉홀(206)이 평탄막(204)에 형성된다. 흑매트릭스(202)의 부분(202b)은 기판들을 접속하기 위한 접촉홀(206)의 바닥에 노출된다. 배향막(205)은 주변영역(12)에 제공되지 않는다는 것을 주의해야 한다.

기판들을 접속하기 위한 접촉홀(206)은 TFT기판(100)에 제공되는 기판들을 접속하기 위한 접촉홀(117)에 대향하도록 제공된다. 동일한 플러그(118)는 기판들을 접속하기 위한 접촉홀(206)에 삽입된다. 따라서, TFT기판(100)의 공통배선(103) 및 대향기판(200)의 흑매트릭스(202)는 서로 전기적으로 접속되며, 동일한 전위로 설정될 수 있다.

ITO 등으로 이루어진 전도층(207)이 제2투명기판(201)의 다른 표면에 형성된다. 편광판(208)은 전도층(207)에 부착된다.



전술한 구조를 가진 액정표시장치(1)의 디스플레이동작을 이하에서 설명한다. 액정표시장치(1)를 구동하기 위하여, 구동회로(미도시)는 게이트펄스를 주사선들(102)에 연속적으로 인가하며, 표시색조에 대응하는 전압을 가진 데이터신호를 게이트펄스에 거의 동기시켜 데이터선(106)에 인가한다. 게이트펄스가 인가되는 주사선(102; 즉, 선택된 주사선(102))에 접속된 TFT가 턴 온되며, 이 때 데이터선(106)에 인가된 전압은 드레인전극(107), 반도체층(105), 소스전극(108) 및 화소전극용 접촉홀(114)을 경유하여 제2화소전극(112)에 인가된다.

게이트펄스가 차단될 때, TFT는 턴 오프된다. 그 때까지 제2화소전극(112)에 인가되었던 전압은 제2화소전극(112)과 공통전극(111) 사이의 커패시터들(화소전극들) 및 제1화소전극(109)과 공통배선들(103) 사이의 보상커패시터들에 저장된다.

따라서, 표시색조에 대응하는 전압이 다음 선택기간까지 각 단위화소영역(11a)의 액정(300)에 인가된다. 이때, 기판에 평행한 전기장이 제2화소전극(112)의 대향부들(112a)과, 공통전극(111)의 Y방향연장부들(111b) 및 대향부들(111c) 사이에 형성된다. 액정(300)은 이 평행한 전기장에 의해 소망의 상태로 배향되며, 색층(203)의 색이 소망의 색조로 표시된다.

전술한 디스플레이동작 시에 데이터선(106) 근처에 형성된 전기장은 도 7에 개략적으로 보여진다. 데이터선(106)으로부터 발생된 전기장은 데이터선(106) 위쪽에 마련된 공통전극(111)의 Y방향연장부(111b)에서 중단된다. Y방향연장부(111b)는 데이터선(106)의 폭보다 크거나 거의 같은 폭을 가지기 때문에, 데이터선(106)으로부터 발생된 전기장은 Y방향연장부(111b)에 의해 거의 중단된다. 따라서, 데이터선(106)의 양측 상에 위치한 단위화소영역(11a)에서 전기장이 액정으로 누설되는 것이 방지된다. 따라서, 표시된 영상에 누설된 전기장에 의해 결함이 발생하는 것이 방지된다.

슬릿(115)은 Y방향연장부(111b)에 형성된다. 따라서, 데이터선(106)과 Y방향연장부(111b)의 대향면적은 슬릿(115)에 의하여 형성된 개구의 면적만큼 감소된다. 따라서, 데이터선(106)과 Y방향연장부(111b) 사이에 저장된 정전용량은 상대적으로 낮은 레벨로 억제될 수 있기 때문에 신호지연이 감소될 수 있다.

데이터선(106)으로부터 발생된 전기장의 일부는 슬릿(115)을 통하여 슬릿(115) 위쪽의 액정(300)으로 누설된다. 그러나, 흑매트릭스(202)의 부분(202a)은 데이터선(106)에 대향하도록 대향기관(200)에 형성된다. 전술한 바와 같이, 흑매트릭스(202)는 주변영역(12)에서 플러그(118)에 의하여 공통배선(103)에 접속되며, 공통배선(103)의 전위와 공통의 전위를 가지도록 설정된다. 슬릿(115)을 통하여 누설되는 전기장은 슬릿(115)의 바로 위에 제공된 흑매트릭스(202)의 부분(202a)에 의하여 중단된다.

흑매트릭스(202)의 부분(202a)은 슬릿(115)의 폭보다 넓거나 같은 폭을 가진다. 따라서, 슬릿(115)을 통하여 누설되는 전기장은 흑매트릭스(202)의 부분(202a)에 의하여 거의 중단된다.

전술한 바와 같이, 제1실시예에 의하면, 데이터선(106)에 의하여 발생된 전기장은 절연막을 개재하여 데이터선(106)에 대향되도록 제공된 공통전극(111)의 Y방향연장부(111b)에 의하여 중단된다. Y방향연장부(111b)는 데이터선(106)의 폭보다 넓거나 같은 폭을 가지도록 형성되기 때문에, 액정으로 누설되는 전기장은 충분히 방지된다.

Y방향연장부(111b)는 슬릿(115)을 가진다. 따라서, Y방향연장부(111b)와 데이터선(106)의 개구영역은 비교적 작고, 그러므로, Y방향연장부(111b)와 데이터선(106) 사이에 저장된 정전용량은 비교적 낮은 레벨로 억제될 수 있다. 따라서, 정전용량에 의한 신호지연은 상대적으로 감소될 수 있다.

이러한 정전용량의 감소는 공통전극(111)에 슬릿(115)을 마련함으로써 달성된다. 따라서, 비교적 얇은 제2층간절연막(110)을 채용할 필요가 없고, 제2화소전극(112)에서 개구된 편홀에 의한 층간단락의 가능성이 증가되는 것을 방지할 수 있다.



Y방향연장부(111b)는 데이터선(106)의 폭과 거의 동일한 폭을 가지도록 형성된다. 따라서, 공통전극(111)이 크롬 등과 같은 불투명재료로 이루어지더라도, 개구비를 실질적으로 감소시키지 않으면서 전기장의 누설을 방지할 수 있는 동시에 신호지연을 감소시킬 수 있다.

또한, 슬릿(115)을 통하여 누설되는 전기장은 슬릿(115) 상에 제공되며 공통배선(103)과 공통전극(111)의 전위와는 같은 공통전위로 설정된 흑매트릭스(202)의 부분(202a)에 의하여 중단된다. 따라서, 정전용량을 감소시켜 전기장의 누설을 충분히 방지할 수 있다.

게다가, 전술한 바와 같이, 액정표시장치(1)의 그러한 구조는 플러그(118)를 삽입하는 것을 제외하고 공통전극(111)의 에칭패턴을 변경하는 것과 같은 통상의 제조공정을 변경하는 것만으로 제조될 수 있으며, 제조공정단계들의 수와 제조단가를 크게 증가시키지 않는다.

상기 구조를 가진 액정표시장치의 제조방법을 도면들을 참조하면서 이하에서 설명한다. 도 8a 내지 도 10c는 TFT기판(100)의 제조단계를 보여준다. 도 8a 내지 도 10c는 도 3의 BB, CC 및 DD방향에 대한 단면, 및 기판들, 데이터선단자(2)나 주사선단자(3)를 접속하기 위한 접촉홀(117)이 단계별로 형성되는 각 영역의 단면구조를 나타낸 액정표시장치(1)의 단면도를 보여준다.

이하에서 설명되는 제조방법은 예시를 위한 것이며, 동일한 결과를 달성할 수 있는 다른 제조 방법이 채용될 수 있다. 또한 사용되는 물질들은 이하에서 설명되는 것들에 제한되지 않는다.

먼저, 도 8a에 보인 바와 같이, 크롬 등으로 이루어진 제1금속막(131)이 예를 들면, 스퍼터법에 의하여 제1투명기판(101)의 한 표면에 형성된다. 다음, 도 8b에 보인 바와 같이, 주사선(102)과 공통배선(103) 등이 포토리소그래피기술에 의하여 제1금속막(131)을 패터닝하여 형성된다.

다음, 도 8c에 보인 바와 같이, 실리콘산화막(132)이 예를 들면, CVD법에 의하여 제1투명기판(101) 상에 형성된다. 또한, 실리콘질화막(133)이 예를 들면, CVD법에 의하여 실리콘산화막(132) 상에 형성된다. 실리콘산화막(132)과 실리콘질화막(133)은 제1층간절연막(104)을 구성한다.

다음, 비정질실리콘층(134)과 n<sup>+</sup>형 도핑 실리콘층(135)이 예를 들면, 플라즈마CVD법에 의하여 실리콘질화막(133) 상에 연속적으로 형성된다. 또한, 도 8d에 보인 바와 같이, 반도체층(105)이 포토리소그래피기술을 이용하여 비정질실리콘층(134)과 n<sup>+</sup>형 도핑 실리콘층(135)을 패터닝하여 형성된다. n<sup>+</sup>형 도핑 실리콘층(135)은 스퍼터법 등에 의하여 인 등을 비정질실리콘층(134)으로 주입하여 형성되어도 좋다.

다음, 도 9a에 보인 바와 같이, 크롬 등으로 이루어진 제2금속막(136)이 예를 들면, CVD법에 의하여 기판상에 형성된다. 또한, 도 9b에 보인 바와 같이, 데이터선(106), 드레인전극(107), 제1화소전극(109) 및 소스전극(108)이 포토리소그래피기술에 의하여 제2크롬막(136)을 패터닝하여 형성된다.

또한, 드레인전극(107)과 소스전극(108) 사이의 n<sup>+</sup>형 도핑 실리콘층(135)은 선택적으로 에칭되어 비정질실리콘층(134)에 도달하는 그루브를 형성한다. 따라서, 드레인과 소스영역은 n<sup>+</sup>형 도핑 실리콘층(135)에 형성되며, 채널이 비정질실리콘층(134)이고 음층이 n<sup>+</sup>형 도핑 실리콘층(135)인 TFT가 형성된다.

다음, 도 9c에 보인 바와 같이, 실리콘질화막(137)이 예를 들면, CVD법에 의하여 기판상에 형성된다. 다음, 예를 들면, 아크릴수지로 이루어진 유기막(138)이 스펀코팅법에 의하여 실리콘질화막(137) 상에 형성되어 평면의 제2층간절연막(110)을 형성한다. 실리콘질화막(137)과 유기막(138)은 제2층간절연막(110)을 구성한다.

다음, 개구가 유기막(138)을 에칭함으로써 형성된다. 다음, 개구들이 실리콘질화막(137), 실리콘질화막(133) 및 실리콘산화막(132)을 에칭함으로써 형성된다. 유기막(138)은 테이퍼진(tapered) 모양을 가진 개구를 형성하도록 에칭된다. 실리콘질화막(137) 등은 개구에서 금속막을 노출시키도록 에칭된다.

도 10a에 보인 바와 같이, 공통전극용 접촉홀(113), 화소전극용 접촉홀(114), 기판을 접속하기 위한 접촉홀(117), 데이터선용 접촉홀(120), 및 주사선용 접촉홀(121)이 에칭에 의하여 형성된다.



다음, 도 10b에 보인 바와 같이, ITO 등으로 이루어진 제2금속막(139)이 예를 들면, 스퍼터법에 의하여 기판상에 형성된다. 그 후, 제3금속막(139)이 포토리소그래피기술에 의하여 패터닝되어 도 10c 및 도 6에 보인 구조의 공통전극(111) 및 제2화소전극(112)을 형성한다. 이 때, 슬릿(115)을 가진 공통전극(111)이 형성된다.

에칭 후, 기판들을 접속하기 위한 접착홀(117) 내의 제3금속막(139)이 제거되어, 공통배선(103)이 접착홀(117)의 바닥에서 노출된다. 데이터선용 접착홀(120) 및 주사선용 접착홀(121)에서 각각 형성된 전극(122)과 전극(123)은 데이터선단자(2)와 주사선단자(3)를 형성한다.

그 후, 도 4에 보인 바와 같이, 이미드수지 등으로 이루어진 배향막(116)이 주변영역(12)을 제외한 기판상에 형성된다. 그 후, 배향막(116)의 표면은 배향처리를 위하여 러빙된다. 따라서, TFT기판(100)은 완성된다.

대향기관(200)이 이하에서 설명하는 바와 같이 형성된다. 크롬, 카본블랙 등으로 이루어진 차광전도막이 제2투명기관(201)의 한 표면에 형성된다. 또한, 전도막이 소정의 모양으로 패터닝된다. 패터닝에 의해, 흑매트릭스(202)가 형성된다. 이 때, 전술한 바와 같이, 흑매트릭스(202)의 소정의 폭을 가진 도 4에 보인 부분(202a)이 형성된다.

다음, 감광성 수지 등으로 이루어진 수지층이 기판상에 형성된다. 다음, 흑매트릭스(202)의 개구를 피복하는 색층(203)이 수지층을 패터닝함으로써 형성된다.

그 후, 아크릴수지 등으로 이루어진 평탄막(204)이 기판상에 형성된다. 다음, 기판들을 접속하기 위한 접착홀(206)이 평탄막(204)을 에칭함으로써 형성된다.

다음, 이미드 등으로 이루어진 배향막(205)이 평탄막(204) 상에 형성된다. 배향막(205)의 표면은 배향처리를 위하여 러빙처리된다. 러빙방향은 TFT기판(100)에 인가된 러빙의 방향에 대향된다. 따라서, 대향기관(200)은 완성된다.

이렇게 형성된 TFT기판(100)과 대향기관(200)은 이격기와 봉지부재(둘 다 미도시)를 개재하여 적층되어 각 배향막(116 및 205)이 서로 대향된다. 다음, 액정(300)이 봉지부재에 의하여 형성된 두 기관 사이의 공간(셀)에 충전되고 셀은 봉지된다. 마지막으로, 편광판(119와 208)들은 제1투명기관(101)과 제2투명기관(201)의 다른 표면에 각각 부착된다.

TFT기판(100)과 대향기관(200)을 적층하기 전에, 기판들을 접속하기 위한 접착홀(117)에 이 접착홀로부터 넘치도록 충전된다. TFT기판(100)과 대향기관(200)이 적층될 때, 은폐이스트의 상부는 움직여 대향기관(200)에 형성된 기판을 접속하기 위한 접착홀(206)에 충전된다. 따라서, 공통배선(103)과 흑매트릭스(202)를 접속하기 위한 플러그(118)가 형성된다. 제1실시예에 따른 액정표시장치(1)가 이렇게 완성된다.

전술한 제1실시예에 따르면, 공통전극(111)의 Y방향연장부(111b)는 전기장이 단위화소영역(11a)의 액정(300)으로 누설되는 것을 방지한다. 따라서, Y방향연장부(111b)는 단위화소영역(11a)의 측선을 따라서 제공되지만 하면 되며, 복수개의 단위화소들 상에서 연속적으로 Y 방향으로 연장할 필요는 없다. 따라서, 공통전극(111)은 X 방향으로 연속적이어도 좋으며, Y방향연장부(111b)는 도 11에 보인 바와 같이, 각 단위화소영역에 의하여 Y 방향으로 분리되어도 좋다.

#### [제2실시예]

도 12는 본 발명의 제2실시예에 따른 액정표시장치의 구성을 보여준다. 제2실시예에 따른 액정표시장치의 단위화소영역의 평면배치는 도 3에서 보여준 제1실시예의 단위화소영역의 평면배치와 동일하다. 따라서, 평면배치의 설명은 생략되고, 도 3의 AA선을 따라 절단한 단위화소영역의 단면도는 도 12에서 보여진다. 도 3 및 도 4에서 보여준 것과 동일한 구성요소들은 도 12에서도 동일한 참조번호를 부여하고, 그 구성요소들의 설명은 생략된다.

도 12에 보인 바와 같이, 제2실시예에 따르면, 접속막(139a)은 TFT기판(100)에 형성된 기판들을 접속하는 접착홀(117)의 내측벽 및 접착홀(117)의 바닥에서 노출된 공통배선(103)의 표면에 형성된다. 접속막(139a)은, ITO 등으로



만들어진 공통전극(111), 화소전극(112) 등과 실질적으로 동일한 재료로 구성된다. 즉, 접속막(139a)은 도 10b에 보인 단계에서 제3금속막(139)으로서 형성되고, 도 10c에 보인 에칭단계에서 접속홀(117)에 남는다(즉, 에칭단계에서 에칭되지 않음).

플러그(118)를 구성하는 은페이스트는 접속막(139a)상에 마련된다. 따라서, 플러그(118)는 접속막(139a)을 통해 공통배선(103)에 접속된다. 공통배선(103)이 크롬과 같은 산화되기 쉬운 재료로 구성된 경우에, 접속막(139a)은 은페이스트와 공통배선(103)간의 접속의 열화를 보상하기 위하여 마련된다.

이 구조는, 공통전극(111), 화소전극(112) 등이 ITO 등으로 만들어진 경우에 특히 효과적이다. 접속홀(117)에서 노출된 공통배선(103)상에 있는 내산화성의 ITO에 의해, 은페이스트와 공통배선(103) 사이의 접속열화는 보상된다. 이로 인하여, 공통배선(103)과 흑매트릭스(202) 사이의 공통전위에서의 전압강하가 방지되고, 전기장의 누설방지가 개선된다.

또한, 도 12에 보인 제2실시예는 흑매트릭스(202)의 부분(202a)이 제1실시예에 따른 부분(202a)보다 더 작은 폭을 갖는 예를 제안한다.

전술한 바와 같이, 흑매트릭스(202)의 부분(202a)은 공통전극(111)의 Y방향연장부(111b)의 슬릿(115)을 덮을 정도로 충분한 폭을 갖기만 하면 된다. 도 12에 보여진 구조에서, 흑매트릭스(202)의 부분(202a)은 데이터선(106)의 폭과 동일한 폭을 갖는다. 그러므로, 흑매트릭스(202)의 부분(202a)의 폭은 단위화소영역에 대하여는 감소될 수 있어 구경비가 향상될 수 있다.

#### [제3실시예]

도 13은 본 발명의 제3실시예에 따른 액정표시장치의 구성을 보여준다. 제3실시예에 따른 액정표시장치의 단위화소영역의 평면배치는 도 3에서 보여준 제1실시예의 단위화소영역의 평면배치와 동일하다. 따라서, 평면배치의 설명은 생략되고, 도 3의 AA선을 따라 절개한 단위화소영역의 단면도는 도 13에서 보여준다. 도 3 및 도 4에서 보여준 것과 동일한 요소들은 도 13에서도 동일한 참조번호를 부여하고, 그 요소들의 설명은 생략된다.

제3실시예에 따르면, 슬릿(115)을 통하여 누설되는 전기장을 차단하는 전도막이 흑매트릭스(202)의 옆에 마련된다.

도 13에서 보여준 바와 같이, 전도막(209)은 마주보는 기관(200)의 평탄막(204)상에 형성된다. 전도막(209)은, 예를 들면, 크롬, 알루미늄, 몰리브덴, 탄탈, 구리, 알루미늄-구리, 알루미늄-실리콘-구리, 티타늄 또는 텅스텐으로 구성되거나, 또는 주로 이 금속들로 만들어진 합성금속과 같은 불투명막이거나, 또는 ITO와 같은 광투과특성을 갖는 막이거나, 또는 이 막들의 적층막으로 구성된다. 전도막(209)은 배향막(205)에 의해 덮인다.

전도막(209)은 흑매트릭스(202)를 패터닝하는 데 이용된 마스크를 이용하거나, 또는 이와 거의 동일한 패턴을 갖는 마스크를 이용하여 패터닝함으로써 형성된다. 이리하여, 전도막(209)은, 흑매트릭스(202)의 부분들(202a) 및 부분들(202b)을 각각 덮는 부분들(209a) 및 부분들(209b)을 포함한다.

전도막(209)의 부분(209a)은 공통전극(111)의 Y방향연장부(111b)와 흑매트릭스(202)의 부분(202a)의 사이에 마련되어 슬릿(115)을 통해 데이터라인(106)과 마주본다.

전도막(209)의 부분(209b)은 주변영역(12)에 공통배선(103)과 마주보도록 배치된다. 제3실시예에 따른 액정표시장치에서는, 기관과 접속하는 접속홀(206)이 평탄막(204)에 마련되지 않는다. 전도막(209)의 부분(209b)은 플러그(118)에 의해 공통배선에 전기적으로 접속된다. 그러므로, 전도막(209)은 공통배선(103)의 공통전위와 같은 공통전위를 갖도록 설정된다.

전도막(209)의 부분(209a)은, 본 발명의 제1실시예에 따른 흑매트릭스(202)의 부분(202a) 대신에, 슬릿(115)을 통하여 누설되는 전기장을 차단한다.



전기장의 누설을 차단하는 전도막(209)을 갖는 구조는 이하의 이점들을 갖는다. 먼저, 흑매트릭스(202)로서 사용될 재료들에 제한이 없다. 예를 들면, 흑매트릭스(202)가 플러그(118)를 통해 공통배선(103)에 접속될 필요가 없으므로, 금속들과의 접속특성이 나쁘며, 높은 저항을 가지지만 높은 차광효과를 갖는 카본블랙이 흑매트릭스(202)로 사용될 수 있다.

이에 반하여, 전도막(209)에는 차광특성이 필요하지 않기 때문에, 전도막(209)은 낮은 저항과 양호한 접속특성을 갖는 재료로 구성될 수 있다. 따라서, 전도막(209)의 공통전위에서의 전압강하의 가능성은 줄어들어, 누설되는 전기장에 대한 방어효과는 개선된다.

제3실시예에 따르면, 전도막(209)은 흑매트릭스(202)와 동일한 패턴을 사용하여 형성된다. 그러나, 이것으로 전도막(209)이 제한되는 것은 아니다. 전도막(209) 및 흑매트릭스(202)는 서로 다른 패턴에 의해 형성될 수 있다. 예를 들면, 전도막(209)은 ITO와 같은 투명재료로 만들어 질 수도 있고, 부분(209a)은 흑매트릭스(202)의 부분(202a)의 폭보다 더 넓은 폭을 갖도록 형성될 수도 있다. 이 경우에, 전도막(209)의 부분(209a)의 폭은, 흑매트릭스(202)의 부분(202a)의 폭과 상관없이 누설전기장에 대하여 최상의 차단효과를 얻을 수 있도록 적절하게 설정될 수 있다. 그리고 전도막(209)의 부분(209a)이 흑매트릭스(202)의 부분(202a)보다 좁은 경우에는, 전도막(209)의 부분(209a)은 낮은 저항을 갖는 불투명 재료로 만들어 질 수 있다. 어느 경우에도, 개구비의 감소가 방지될 수 있다.

#### [제4실시예]

도 14는 본 발명의 제4실시예에 따른 액정표시장치의 구성을 보여준다. 제4실시예에 따른 액정표시장치의 단위화소영역의 평면배치는 도 3에서 보여준 제1실시예의 단위화소영역의 평면배치와 동일하다. 따라서, 평면배치의 설명은 생략되고, 도 3의 AA선을 따라 절개한 단위화소영역의 단면도는 도 14에 보여진다. 도 3, 도 4, 도 12 및 도 13에서 보여준 것과 동일한 요소들은 도 14에서도 동일한 참조번호를 부여하고, 그 요소들의 설명은 생략된다.

도 14에 보인 바와 같이, 제4실시예에 따른 액정표시장치는 제2실시예의 접속막과 유사한 접속막(139a) 및 제3실시예의 전도막과 유사한 전도막(209)을 갖는다.

이러한 구조의 액정표시장치로써, 제2및 제3실시예에서 성취된 것과 유사한 효과들을 얻을 수 있다. 즉, 플러그(118)와 공통배선(103) 사이의 접속은 보강되고, 전압강하의 발생가능성은 감소될 수 있다. 그리고 누설전기장에 대한 방어는 개선될 수 있다.

#### [제5실시예]

도 15는 본 발명의 제5실시예에 따른 액정표시장치의 구성을 보여준다. 제5실시예에 따른 액정표시장치의 단위화소영역의 평면배치는 도 3에서 보여준 제1실시예의 단위화소영역의 평면배치와 동일하다. 따라서, 평면배치의 설명은 생략되고, 도 3의 AA선을 따라 절개한 단위화소영역의 단면도는 도 15에서 보여진다. 도 3, 도 4 및 도 14에서 보여준 것과 동일한 요소들은 도 15에서도 동일한 참조번호를 부여하고, 그 요소들의 설명은 생략된다.

제5실시예에 따른 액정표시장치는 도 14에서 보여준 액정표시장치와 거의 동일한 구성을 갖는다. 도 15에서 보여준 바와 같이, 제5실시예의 TFT기판(100)에서, 제2화소전극(112)은, 공통전극(111)이 형성된 층과는 다른 층에 형성된다. 즉, 도 15에서 보여준 바와 같이, 공통전극(111)을 덮는 제3층간절연막(124)이 제2층간절연막(110)상에 형성된다. 제2화소전극(112)은 제3층간절연막(124)상에 형성되고, 배향막(116)에 의해 덮인다. 제3층간절연막(124)은 실리콘산화막, 실리콘질화막과 같은 무기막 또는 수지와 같은 유기막으로 구성되거나, 이들 막들의 다층막으로 구성된다.

제2화소전극(112)은, 제3층간절연막(124)을 관통하도록 형성된 도 3에 보인 화소전극의 접촉홀(114)을 통해 소스전극(108)에 접속된다.



공통전극(111) 및 제2화소전극(112)이 다른 층들에 형성된 이와 같은 구조의 액정표시장치는 아래의 이점들을 갖는다. 예를 들면, 공통전극(111) 및 제2화소전극(112)이 서로 각각 분리되어 있기 때문에, 두 전극들 사이의 전기적 단락으로 인한 무광(unlit) 화소와 같은 표시결함이 거의 발생하지 않는다. 그리고, 설계의 관점에서, 두개의 전극이 동일한 단계에서 제조되지 않기 때문에, 다른 배치들 및 재료들이 공통전극(111) 및 제2화소전극(112)에 각각 채용될 수 있다. 따라서, 표시품질은 더욱 개선될 수 있다.

제1내지 제5실시예에서, TFT를 포함하는 능동매트릭스형 액정표시장치가 예로 설명되었다. 그러나, TFT들로 본 발명이 제한되는 것이 아니라, 다이오드들, MIM들 등이 능동소자들로서 사용될 수도 있다. TFT들은 역스태거형 또는 정상스태거형 어느 것도 가능하다. 또한, 액정표시장치는 능동소자들을 포함하지 않는 수동형으로도 가능하다.

다양한 실시예들 및 변형들도 본 발명의 넓은 정신 및 범위에 벗어남 없이 가능하다. 상기 실시예들은, 본 발명의 범위를 제한하려는 것이 아니라 본 발명을 설명하고자 한 것이다. 본 발명의 범위는 실시예들보다는 첨부된 청구항들에 의해 나타난다. 본 발명의 청구항의 동등한 범위 및 청구범위 내에서의 다양한 변형들은 본 발명의 범위로 간주된다.

#### 발명의 효과

이상 설명한 바와 같이, 본 발명에 따른 능동매트릭스형 액정표시장치와 그 제조방법에 의하면, 신호지연이 적고 표시불량이 감소될 수 있고, 또, 데이터선들로부터의 전기장의 누설을 방지할 수 있으면서 신호지연이 줄어들 수 있다.

#### (57) 청구의 범위

##### 청구항 1.

한 쌍의 기판들(101, 201);

상기 한 쌍의 기판들(101, 201) 사이에 봉지된 액정(300);

상기 한 쌍의 기판들(101, 201) 중 하나의 한 표면에서 서로 교차하도록 배치된 복수개의 데이터선들(106) 및 복수개의 주사선들(102);

전류통로의 한 끝이 상기 데이터선들(106)의 대응하는 하나에 연결된 전류통로를 가지고, 상기 주사선들(102) 중 대응하는 하나에 연결된 제어단자를 갖는 스위칭소자;

절연막(110)을 개재하여 상기 데이터선들(106) 위쪽에 마련되고, 상기 스위칭소자의 전류통로의 다른 끝에 연결된 화소전극(112); 및

상기 절연막(110)을 개재하여 상기 데이터선들(106)에 대향하고, 상기 데이터선들(106)과 겹치는 부분들(111b)에 슬릿들(115)을 가져, 상기 화소전극(112)과의 사이에 전기장을 발생하는 공통전극(111)을 포함하는 능동매트릭스형 액정표시장치.

##### 청구항 2.

제1항에 있어서, 상기 공통전극(111)과 상기 화소전극(112)은 각각 소정의 길이만큼 서로 거의 평행하게 대향하는 선형부들(111c, 112a)을 가지며,

상기 겹치는 부분들(111b)은 상기 선형부들(111c, 112a)을 따라 마련되고,

상기 슬릿들(115)은 상기 선형부들(111c, 112a)의 길이와 거의 동일한 길이를 갖는 능동매트릭스형 액정표시장치.



청구항 3.

제1항에 있어서, 상기 슬릿들(115)은 상기 겹치는 부분들(111b)의 폭의 거의 중앙에 형성된 능동매트릭스형 액정표시장치.

청구항 4.

제1항에 있어서, 상기 공통전극(111)의 상기 겹치는 부분들(111b)은 상기 데이터선들(106)의 폭보다 크거나 같은 폭을 갖는 능동매트릭스형 액정표시장치.

청구항 5.

제1항에 있어서, 상기 슬릿들(115)은 상기 데이터선들(106)의 폭보다 작은 폭을 갖는 능동매트릭스형 액정표시장치.

청구항 6.

제1항에 있어서, 상기 공통전극(111)과 상기 화소전극(112)은 동일 면(plane) 위에 있는 능동매트릭스형 액정표시장치.

청구항 7.

제1항에 있어서, 상기 공통전극(111)과 상기 화소전극(112)은 투명전도성 재료로 이루어진 능동매트릭스형 액정표시장치.

청구항 8.

제1항에 있어서, 상기 공통전극(111)과 상기 화소전극(112)은 각기 다른 면들 위에 있는 능동매트릭스형 액정표시장치.

청구항 9.

제1항에 있어서, 상기 한 쌍의 기판들(101, 201)에 평행한 방향의 전기장이 상기 공통전극(111)과 상기 화소전극(112) 사이에 형성되는 능동매트릭스형 액정표시장치.

청구항 10.

한 쌍의 기판들(101, 201);

상기 한 쌍의 기판들(101, 201) 사이에 봉지된 액정(300);

상기 한 쌍의 기판들(101, 201) 중 하나의 한 표면에서 서로 교차하도록 배치된 복수개의 데이터선들(106) 및 복수개의 주사선들(102);

전류통로의 한 끝이 상기 데이터선들(106)의 대응하는 하나에 연결된 전류통로를 가지고, 상기 주사선들(102) 중 대응하는 하나에 연결된 제어단자를 갖는 스위칭소자;

절연막(110)을 개재하여 상기 데이터선들(106) 위쪽에 마련되고, 상기 스위칭소자의 전류통로의 다른 끝에 연결된 화소전극(112);

상기 절연막(110)을 개재하여 상기 데이터선들(106)에 대향하고, 상기 데이터선들(106)과 겹치는 부분들(111b)에 슬릿들(115)을 가져, 상기 화소전극(112)과의 사이에 전기장을 발생시키는 공통전극(111); 및



상기 한 쌍의 기판들(101, 201) 위에 상기 슬릿들(115)을 개재하여 상기 데이터선들(106)에 대향하도록 마련되고, 상기 공통전극(111)으로 공통전위로 설정되는 제1전도막(202a)을 포함하는 능동매트릭스형 액정표시장치.

#### 청구항 11.

제10항에 있어서, 상기 공통전극(111)과 상기 화소전극(112)은 각각 소정의 길이만큼 서로 거의 평행하게 대향하는 선형부들(111c, 112a)을 가지며,

상기 겹치는 부분들(111b)은 상기 선형부들(111c, 112a)을 따라 마련되고,

상기 슬릿들(115)은 상기 선형부들(111c, 112a)의 길이와 거의 동일한 길이를 갖는 능동매트릭스형 액정표시장치.

#### 청구항 12.

제10항에 있어서, 상기 슬릿들(115)은 상기 겹치는 부분들(111b)의 폭의 거의 중앙에 형성된 능동매트릭스형 액정표시장치.

#### 청구항 13.

제10항에 있어서, 상기 공통전극(111)의 상기 겹치는 부분들(111b)은 상기 데이터선들(106)의 폭보다 크거나 같은 폭을 갖는 능동매트릭스형 액정표시장치.

#### 청구항 14.

제10항에 있어서, 상기 슬릿들(115)은 상기 데이터선들(106)의 폭보다 작은 폭을 갖는 능동매트릭스형 액정표시장치.

#### 청구항 15.

제10항에 있어서, 상기 공통전극(111)과 상기 화소전극(112)은 동일 면 위에 있는 능동매트릭스형 액정표시장치.

#### 청구항 16.

제10항에 있어서, 상기 공통전극(111)과 상기 화소전극(112)은 투명전도성 재료로 이루어진 능동매트릭스형 액정표시장치.

#### 청구항 17.

제10항에 있어서, 상기 공통전극(111)과 상기 화소전극(112)은 각기 다른 면들 위에 있는 능동매트릭스형 액정표시장치.

#### 청구항 18.

제10항에 있어서, 상기 제1전도막(202a)과 상기 공통전극(111)을 서로 전기적으로 접속시키는 플러그(118)를 더 포함하는 능동매트릭스형 액정표시장치.

#### 청구항 19.

제10항에 있어서, 상기 공통전극(111)의 면과는 다른 면 위에 마련되며 상기 공통전극(111)에 전기 접속된 공통배선(103); 및



상기 공통배선(103)에 연결되고, 상기 제1전도막(202a) 및 상기 공통전극(111)을 서로 전기적으로 접속시키는 플러그(118)를 더 포함하는 능동매트릭스형 액정표시장치.

청구항 20.

제19항에 있어서, 제2전도막(139a)이 상기 제1전도막(202a) 및 상기 공통배선(103)간의 접속을 향상시키기 위해 상기 제1전도막(202a) 및 상기 공통배선(103) 사이에 마련된 능동매트릭스형 액정표시장치.

청구항 21.

제20항에 있어서, 상기 제2전도막(139a)은 상기 공통전극(111) 및/또는 상기 화소전극(112)의 재료와 동일한 재료로 이루어진 능동매트릭스형 액정표시장치.

청구항 22.

제10항에 있어서, 상기 제1전도막(202a)은 상기 슬릿들(115)의 폭보다 넓거나 같은 폭을 갖는 능동매트릭스형 액정표시장치.

청구항 23.

제10항에 있어서, 상기 제2전도막(202a)은 흑매트릭스(202)로서 기능하는 능동매트릭스형 액정표시장치.

청구항 24.

제10항에 있어서, 상기 한 쌍의 기판들(101, 201) 중 다른 하나 위에 소정의 패턴으로 배치되고 평탄막(204)에 의해 덮여지는 흑매트릭스(202)를 더 포함하며,

상기 제1전도막(209a)은 상기 평탄막(204) 위에 마련된 능동매트릭스형 액정표시장치.

청구항 25.

제24항에 있어서, 상기 제1전도막(209a)은 상기 흑매트릭스(202)의 패턴과 거의 동일한 패턴을 갖는 능동매트릭스형 액정표시장치.

청구항 26.

제10항에 있어서, 상기 한 쌍의 기판들(101, 201)에 평행한 전기장이 상기 공통전극(111)과 상기 화소전극(112) 사이에서 발생하는 능동매트릭스형 액정표시장치.

청구항 27.

한 쌍의 기판들(101, 201); 상기 한 쌍의 기판들(101, 201) 중 하나 위에 마련된 박막트랜지스터; 상기 박막트랜지스터의 드레인에 연결된 데이터선들(106); 상기 박막트랜지스터의 소스에 연결된 화소전극(102); 및 상기 화소전극(112)과의 사이에 전기장을 발생하는 공통전극(111)을 포함하는 능동매트릭스형 액정표시장치를 제조하기 위한 방법에 있어서,

상기 데이터선들(106) 위에 절연막(110)을 형성하는 단계;

상기 절연막(110) 위에 제1금속막(139)을 형성하는 단계; 및



상기 제1금속막(139)을 패터닝하여, 상기 공통전극(111)을 형성하고 또 상기 데이터선들(106)과 겹치는 상기 공통전극(111)의 부분들(111b)에 슬릿들(115)을 형성하는 단계를 포함하는 능동매트릭스형 액정표시장치 제조방법.

#### 청구항 28.

제27항에 있어서, 상기 화소전극(112)을, 소정의 길이를 갖는 선형부들(112a)을 가지는 형상으로 형성하는 단계를 더 포함하며,

상기 공통전극(111)을 형성하는 상기 단계에서, 상기 화소전극(112)의 상기 선형부들(112a)에 대향하는 부분들(111c)이 형성되고, 상기 슬릿들(115)은 상기 선형부들(112a)의 길이와 거의 동일한 길이를 갖도록 형성되는 능동매트릭스형 액정표시장치 제조방법.

#### 청구항 29.

제27항에 있어서, 상기 공통전극(111)을 형성하는 상기 단계에서, 상기 슬릿들(115)은 상기 겹치는 부분들(111b)의 거의 중앙에 형성되는 능동매트릭스형 액정표시장치 제조방법.

#### 청구항 30.

제27항에 있어서, 상기 공통전극(111)을 형성하는 상기 단계에서, 상기 공통전극(111)의 상기 겹치는 부분들(111b)은 상기 데이터선들(106)의 폭보다 넓거나 같은 폭을 가지도록 형성되는 능동매트릭스형 액정표시장치 제조방법.

#### 청구항 31.

제27항에 있어서, 상기 공통전극(111)을 형성하는 상기 단계에서, 상기 슬릿들(115)은 상기 데이터선들(106)의 폭보다 작은 폭을 가지도록 형성되는 능동매트릭스형 액정표시장치 제조방법.

#### 청구항 32.

제27항에 있어서, 상기 공통전극(111)과 상기 화소전극(112)은 실질적으로 동일한 단계에서 형성되는 능동매트릭스형 액정표시장치 제조방법.

#### 청구항 33.

한 쌍의 기판들(101, 201); 상기 한 쌍의 기판들(101, 201) 중 하나 위에 마련된 박막트랜지스터; 상기 박막트랜지스터의 드레인에 연결된 데이터선들(106); 상기 박막트랜지스터의 소스에 연결된 화소전극(102); 및 상기 화소전극(102)과의 사이에 전기장을 발생시키는 공통전극(111)을 포함하는 능동매트릭스형 액정표시장치를 제조하기 위한 방법에 있어서,

상기 데이터선들(106)을 덮는 절연막(110)을 형성하는 단계;

상기 절연막(110) 위에 제1금속막(139)을 형성하는 단계;

상기 제1금속막(139)을 패터닝하여, 상기 공통전극(111)을 형성하고 또 상기 데이터선들(106)과 겹치는 상기 공통전극(111)의 부분들(111b)에 슬릿들(115)을 형성하는 단계; 및

상기 한 쌍의 기판들(101, 201)의 다른 하나 위에, 상기 슬릿들(115)을 개재하여 상기 데이터선들(106)에 대향하는 제1전도막(202a)을 형성하는 단계를 포함하는 능동매트릭스형 액정표시장치 제조방법.

#### 청구항 34.



제33항에 있어서, 상기 화소전극(112)을, 소정의 길이를 갖는 선형부들(112a)을 가지는 형상으로 형성하는 단계를 더 포함하며,

상기 공통전극(111)을 형성하는 상기 단계에서, 상기 화소전극(112)의 상기 선형부들(112a)에 대향하는 부분들(111c)이 형성되고, 상기 슬릿들(115)은 상기 선형부들(112a)의 길이와 거의 동일한 길이를 갖도록 형성되는 능동매트릭스형 액정표시장치 제조방법.

#### 청구항 35.

제33항에 있어서, 상기 공통전극(111)을 형성하는 상기 단계에서, 상기 슬릿들(115)은 상기 겹치는 부분들(111b)의 거의 중앙에 형성되는 능동매트릭스형 액정표시장치 제조방법.

#### 청구항 36.

제33항에 있어서, 상기 공통전극(111)을 형성하는 상기 단계에서, 상기 공통전극(111)의 상기 겹치는 부분들(111b)은 상기 데이터선들(106)의 폭보다 넓거나 같은 폭을 가지도록 형성되는 능동매트릭스형 액정표시장치 제조방법.

#### 청구항 37.

제33항에 있어서, 상기 공통전극(111)을 형성하는 상기 단계에서, 상기 슬릿들(115)은 상기 데이터선들(106)의 폭보다 작은 폭을 가지도록 형성되는 능동매트릭스형 액정표시장치 제조방법.

#### 청구항 38.

제33항에 있어서, 상기 공통전극(111)과 상기 화소전극(112)은 실질적으로 동일한 단계에서 형성되는 능동매트릭스형 액정표시장치 제조방법.

#### 청구항 39.

제33항에 있어서, 상기 공통전극(111)은, 상기 공통전극(111)이 형성된 면과는 다른 면에 마련된 공통배선(103)에 연결되고,

이 방법은 상기 공통전극(111)과 상기 제1전도막(202a)을 서로 전기적으로 접속시키는 플러그(118)를 형성하는 단계를 더 포함하는 능동매트릭스형 액정표시장치 제조방법.

#### 청구항 40.

제39항에 있어서, 상기 공통배선(103)과 상기 플러그(118) 사이에 제2전도막(139a)을 형성하는 단계를 더 포함하는 능동매트릭스형 액정표시장치 제조방법.

#### 청구항 41.

제40항에 있어서, 상기 제2전도막(139a)은 상기 공통전극(111) 및/또는 상기 화소전극(112)과 함께 동일 단계에서 형성되는 능동매트릭스형 액정표시장치 제조방법.

#### 청구항 42.

제33항에 있어서, 소정의 패턴을 갖는 흑매트릭스(202)를 상기 한 쌍의 기판들(101, 201) 중 다른 하나의 표면에 형성하는 단계; 및



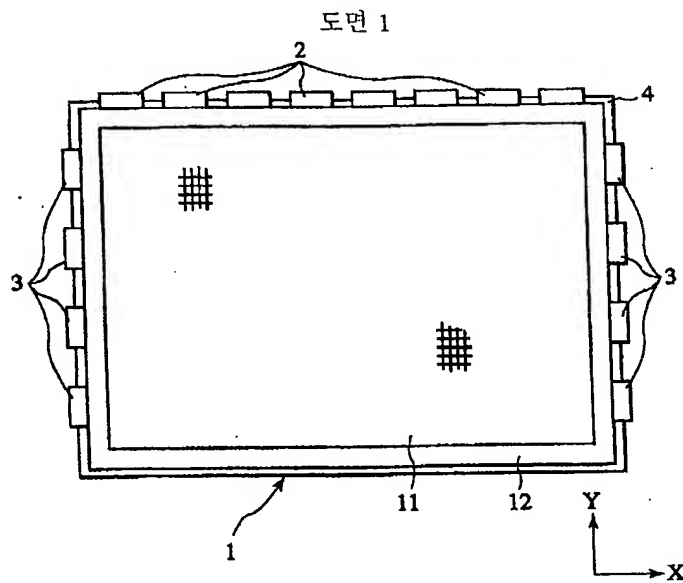
상기 흑매트릭스(202) 위에 평탄막(204)을 형성하는 단계를 더 포함하며,

상기 제1전도막(209a)은 상기 평탄막(204) 위에 형성되는 능동매트릭스형 액정표시장치 제조방법.

청구항 43.

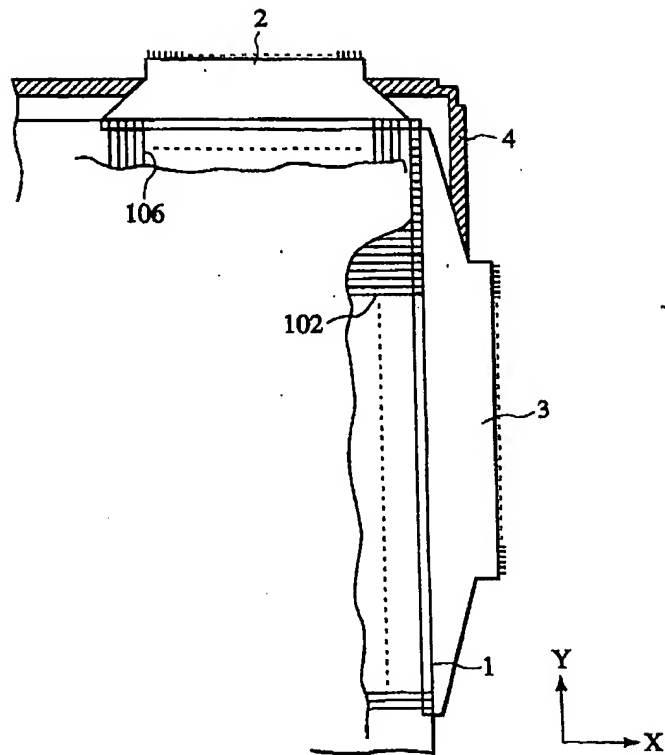
제42항에 있어서, 상기 제1전도막(209a)을 형성하는 상기 단계에서, 상기 제1전도막(209a)은 상기 흑매트릭스(202)의 패턴과 동일한 패턴으로 형성되는 능동매트릭스형 액정표시장치 제조방법.

도면



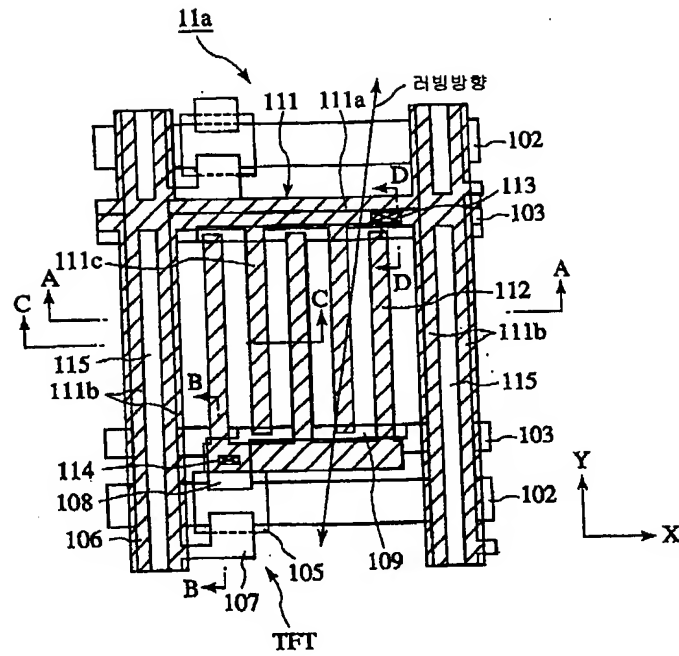


도면 2

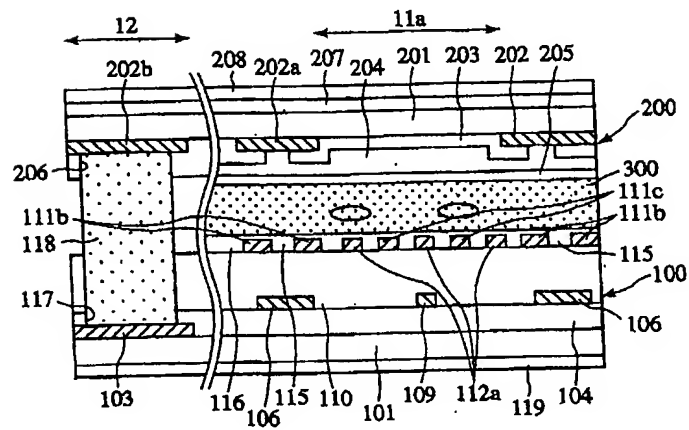




도면 3

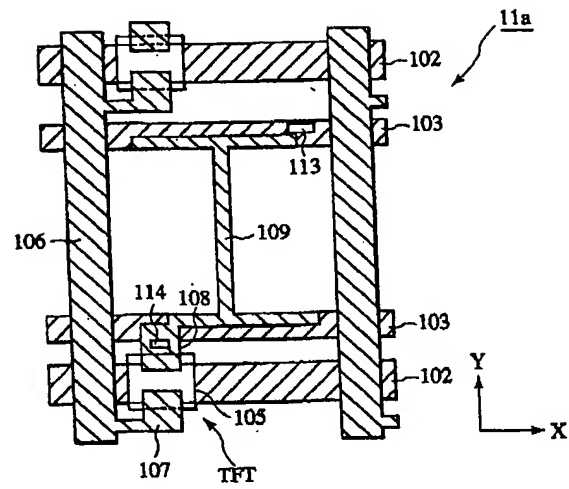


도면 4

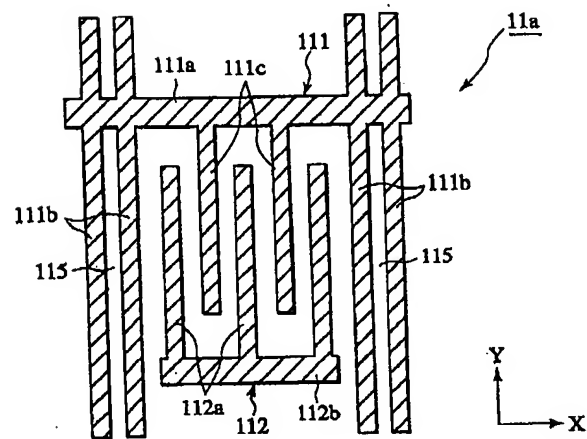




도면 5

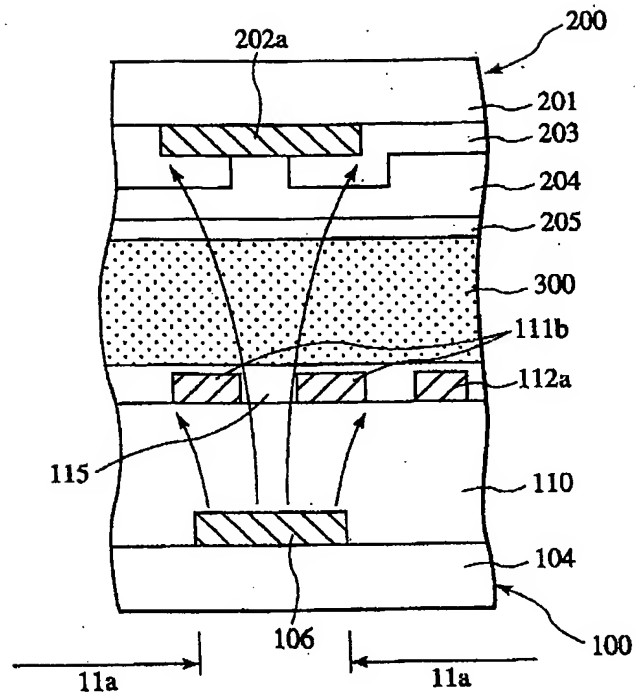


도면 6



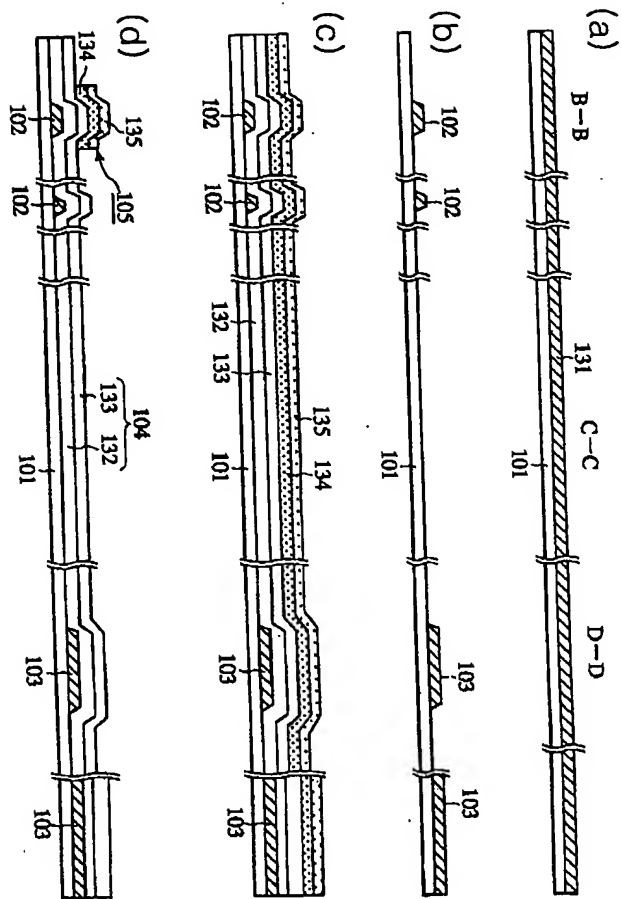


도면 7



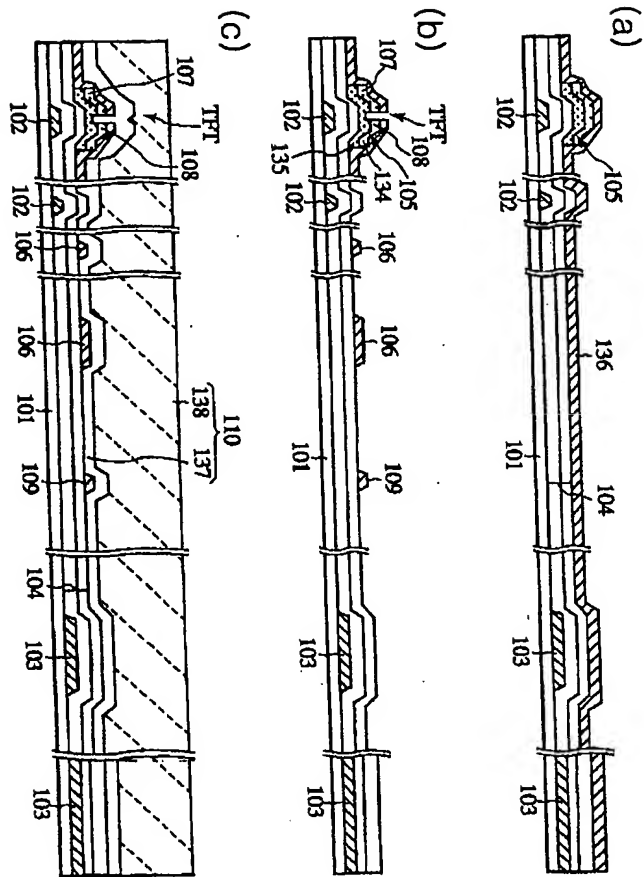


도면 8



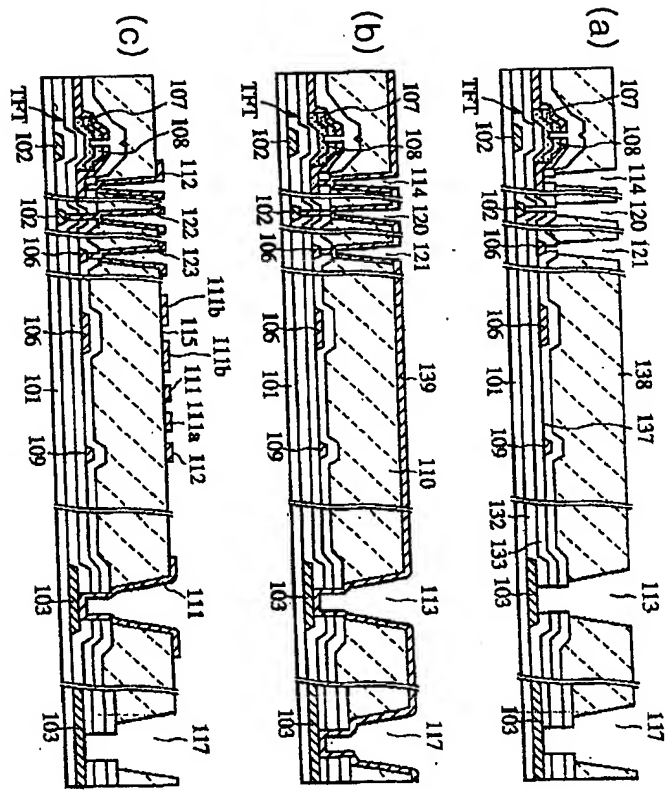


도면 9



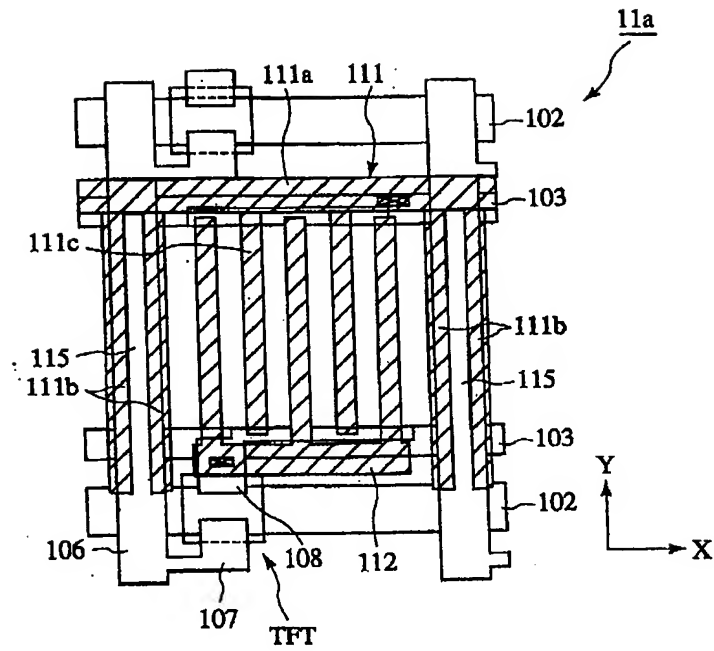


도면 10

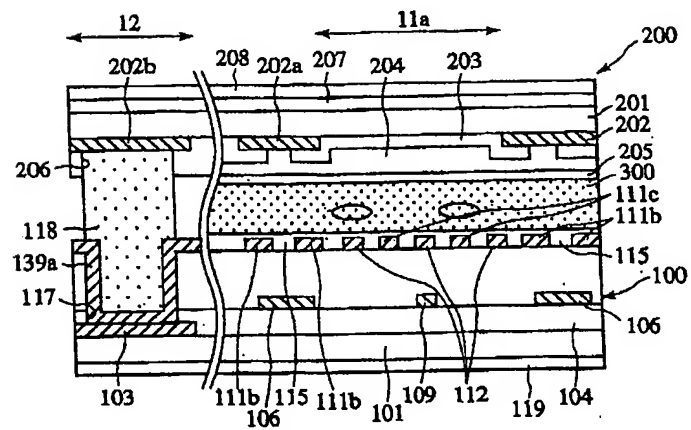




도면 11

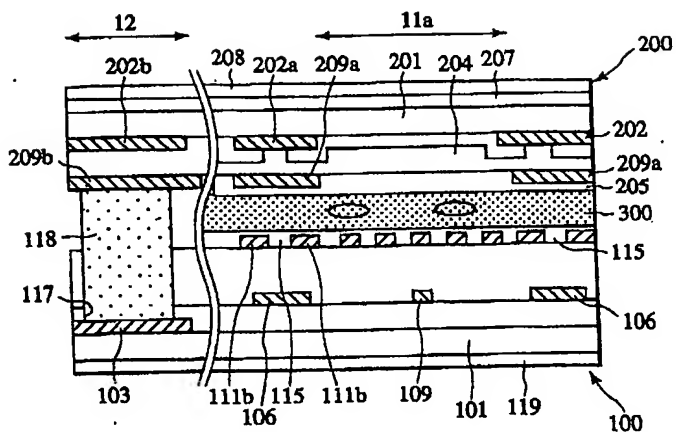


도면 12

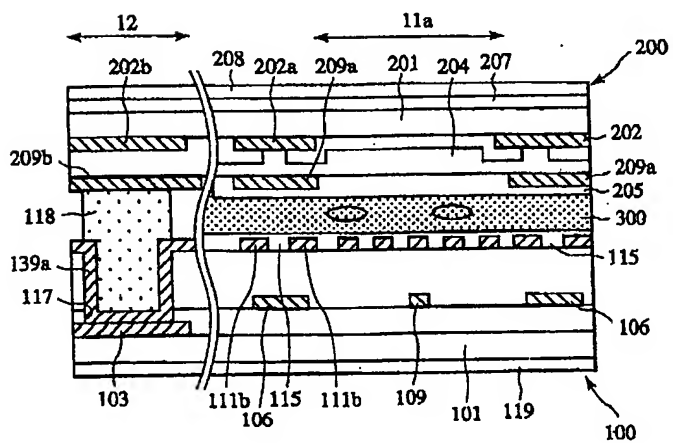




도면 13

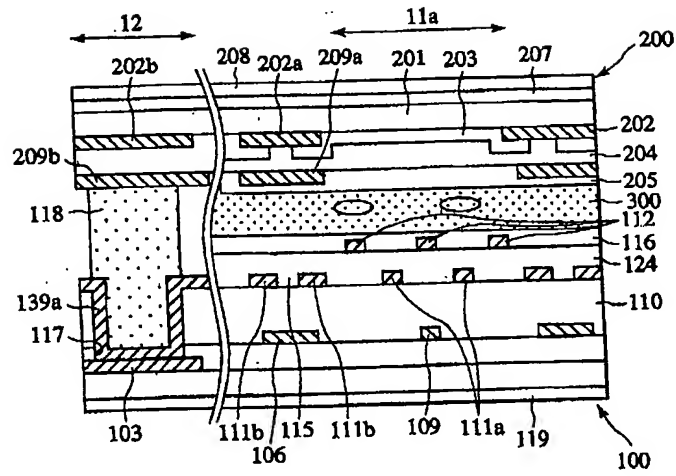


도면 14

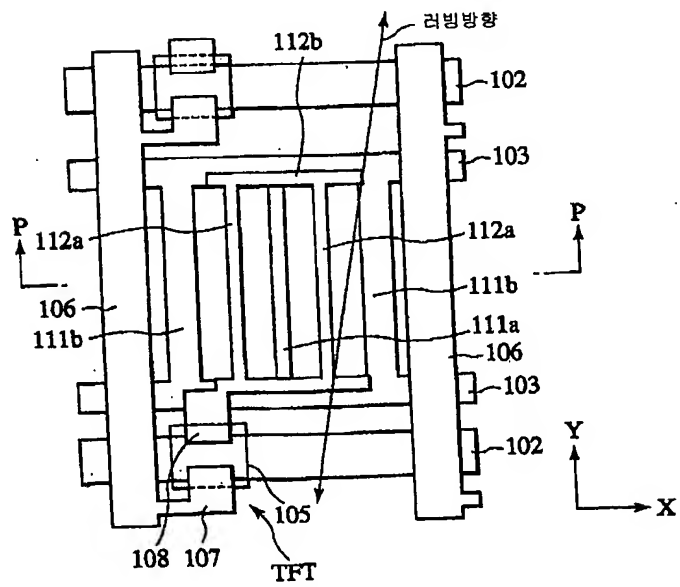




도면 15

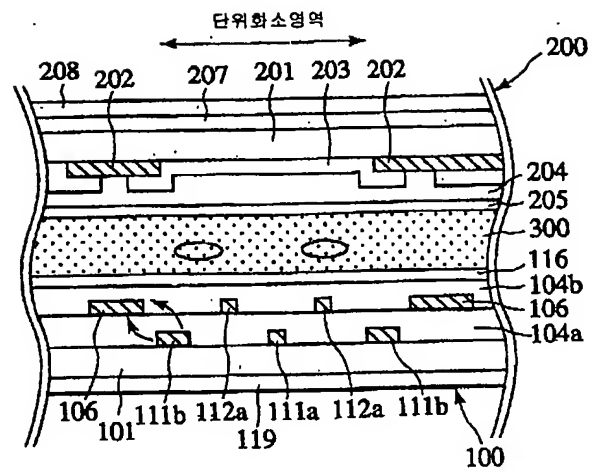


도면 16

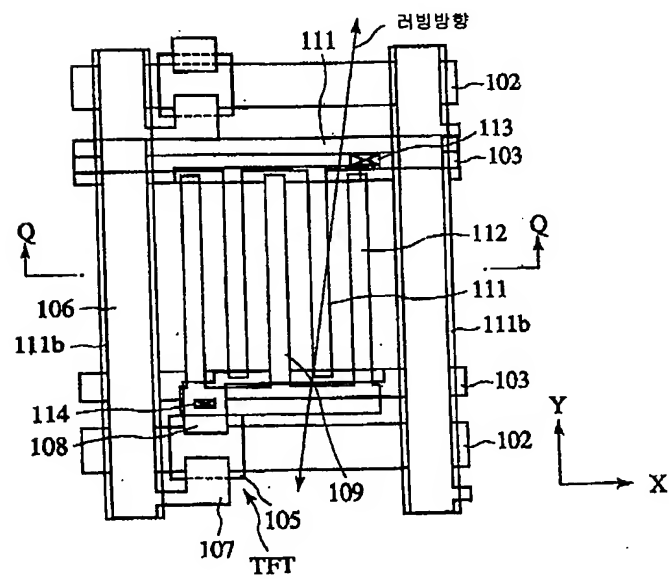




도면 17

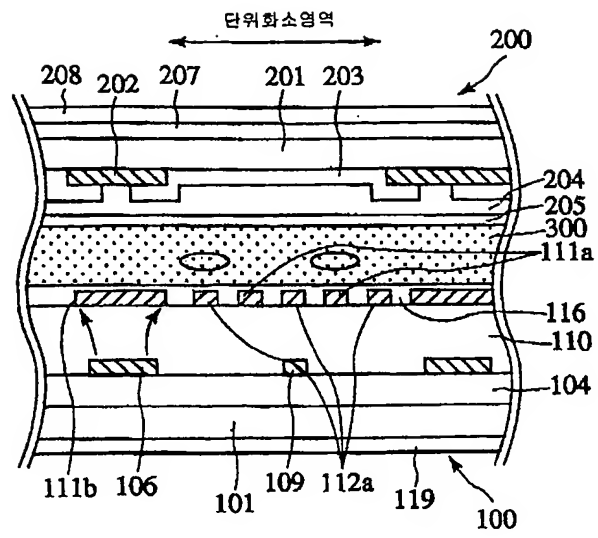


도면 18





도면 19





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☒ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**